

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 7 月 25 日 (25.07.2002)

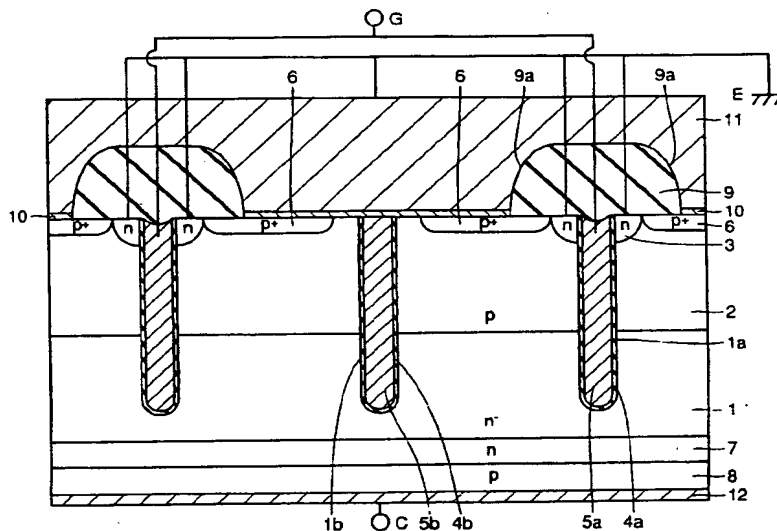
PCT

(10) 国際公開番号
WO 02/058160 A1

- (51) 国際特許分類⁷: H01L 29/78, 21/336 [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP01/00373
- (22) 国際出願日: 2001 年 1 月 19 日 (19.01.2001)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中村勝光 (NAKA-MURA, Katsumi) [JP/JP]. 楠 茂 (KUSUNOKI, Shigeru) [JP/JP]. 中村秀城 (NAKAMURA, Hideki)
- (74) 代理人: 深見久郎, 外 (FUKAMI, Hisao et al.); 〒530-0054 大阪府大阪市北区南森町2丁目1番29号 三井住友銀行南森町ビル Osaka (JP).
- (81) 指定国 (国内): CN, JP, KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- 添付公開書類:
— 国際調査報告書
— 補正書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device comprises an insulated-gate field effect transistor section including an n-type emitter area (3) and an n⁺ silicon substrate (1) opposed across a p-type body area (2), and a gate electrode (5a) opposed across a gate insulator (4a) in the p-type body area (2). The semiconductor device further comprises a stabilizer plate (5b) consisting a conductor or a semiconductor, which is opposed to the n⁺ silicon substrate (1) across a plate insulator (4, 4b) to form a capacitor between the stabilizer plate and the n⁺ silicon substrate (1). The stabilizer plate capacitance between the stabilizer plate (5b) and the n⁺ silicon substrate (1) is greater than the gate-drain capacitance between the gate electrode (5a) and the n⁺ silicon substrate (1).

[続葉有]



(57) 要約:

本発明の半導体装置は、p型ボディ領域(2)を挟んで互いに対向するn型エミッタ領域(3)およびn⁻シリコン基板(1)と、p型ボディ領域(2)にゲート絶縁膜(4a)を挟んで対向するゲート電極(5a)とを有する絶縁ゲート型電界効果トランジスタ部を有し、さらに安定化プレート(5b)を有している。この安定化プレート(5b)は、導電体または半導体からなり、n⁻シリコン基板(1)にプレート用絶縁膜(4、4b)を挟んで対向し、かつn⁻シリコン基板(1)との間で容量を形成する。この安定化プレート(5b)とn⁻シリコン基板(1)との間で形成される安定化プレート容量は、ゲート電極(5a)とn⁻シリコン基板(1)との間で形成されるゲートドレイン容量よりも大きい。

明細書

半導体装置

5 技術分野

本発明は、半導体装置に関し、短絡電流抑制、ゲート容量低減および短絡時の発振抑制を同時に達成可能な高耐圧半導体装置に関するものである。

背景技術

- 10 数百Vを超える電圧を制御する高耐圧半導体装置の分野では、その取扱う電流も大きなことから、発熱、すなわち損失を抑えた素子特性が要求される。また、それらの電圧・電流を制御するゲートの駆動方式としては、駆動回路が小さく、そこでの損失の小さな電圧駆動素子が望ましい。

- 15 近年、上記のような理由で、この分野では電圧駆動が可能で、損失の少ない素子として、絶縁ゲートバイポーラトランジスタ、すなわち IGBT (Insulated Gate Bipolar Transistor) が主流となってきている。この IGBT の構造は、MOS (Metal Oxide Semiconductor) トランジスタのドレインの不純物濃度を低くして耐圧を保たせるとともに、ドレイン抵抗を低くするためにドレイン側をダイオードとしたものとみなすことができる構造である。

- 20 このように IGBT においてはダイオードがバイポーラ動作をするため、本願においては、IGBT の MOS トランジスタのソースをエミッタと呼び、ドレイン側をコレクタ側と呼ぶ。

- 25 電圧駆動素子である IGBT では一般に、コレクタとエミッタ間に数百Vの電圧が印加され、その電圧が±数V～数十Vのゲート電圧によって制御される。また、IGBT はインバータとして用いられることが多く、ゲートがオン状態にある場合にはコレクタ・エミッタ間の電圧は低い、大電流が流れ、ゲートがオフ状態にある場合には電流は流れないがコレクタ・エミッタ間の電圧は高くなっている。

通常は、上記のようなモードで IGBT の動作が行なわれるため、損失はオン

状態での電流・電圧積である定常損失と、オン状態とオフ状態とが切替わる過渡時のスイッチング損失とに分けられる。オフ状態でのリーク電流・電圧積は非常に小さいため無視することができる。

5 一方、たとえば負荷が短絡した場合など異常な状態にあっても、素子の破壊を防ぐことも重要である。この場合は、コレクタ・エミッタ間に数百Vの電源電圧が印加されたまま、ゲートがオンし、大電流が流れることになる。

10 MOSトランジスタとダイオードとを直列に接続した構造を持つIGBTでは、MOSトランジスタの飽和電流で最大電流が制限される。このため、上記のような短絡時にも電流制限が働き、一定の時間発熱することによる素子の破壊を防ぐことができる。

15 しかし、近年のIGBTでは、さらに損失を小さくするため、トレンチゲートを採用したトレンチゲートIGBTが主流となりつつある。トレンチゲートIGBTは、MOSトランジスタ部分の微細化を行なった素子であるため、ゲート容量が大きくなっており、また短絡時に飽和電流が非常に大きくなるため、発熱が大きく短い時間で破壊してしまう傾向にある。

さらに、近年、たとえばProceedings of 1998 International Symposium on Power Semiconductor Devices & ICs, p.89に記載のように、IGBTの帰還容量に起因し、短絡時にゲート電圧、ゲート電流、コレクタ・エミッタ電圧およびコレクタ電流に発振が生じ、誤動作を引起す現象が知られている。このような
20 帰還容量に起因した発振現象は、トレンチゲートIGBTのような、ゲート容量の大きな素子では益々深刻な問題となっている。以下、そのような観点から従来の技術および問題点について説明する。

図52は、従来の高耐圧半導体装置の構成を概略的に示す断面図である。図52を参照して、濃度が約 $1 \times 10^{14} \text{ cm}^{-3}$ のn⁻シリコン基板101の第1主面側に、p型ボディ領域102が形成されている。このp型ボディ領域102の濃度は約 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ であり、第1主面からの深さは約3 μm である。
25 このp型ボディ領域102内の第1主面には、n型エミッタ領域103とp⁺不純物領域106が形成されている。

このn型エミッタ領域103の濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上であり、深さは約

0.5 μm である。p⁺不純物領域106は、p型ボディ領域102への低抵抗コンタクトをとるために設けられ、 $1 \times 10^{20} \text{cm}^{-3}$ 程度の濃度を有している。

このn型エミッタ領域103とp型ボディ領域102とを突き抜けてn⁻シリコン基板101に達するように、深さが3~10 μm のゲート用溝101aが形成されている。このゲート用溝101aのピッチは2.0 μm ~6.0 μm が一般的である。このゲート用溝101aの内表面に沿うようにたとえば30~200 nmの厚みのシリコン酸化膜よりなるゲート絶縁膜104aが形成されている。このゲート用溝101a内を埋込むように、たとえばリンが高濃度に導入された多結晶シリコンよりなるゲート電極105aが形成されている。

第1主面上には絶縁膜109が形成されており、この絶縁膜109には、第1主面の一部を開口する孔109aが設けられている。この孔109aの底部にはバリアメタル層110が形成されている。このバリアメタル層110を介してエミッタ電極111がp型ボディ領域102およびn型エミッタ領域103に電気的に接続されている。

n⁻シリコン基板101の第2主面側には、n型バッファ領域107とp型コレクタ領域108とが形成されている。このp型コレクタ領域108には、たとえばアルミニウム化合物よりなるコレクタ電極112が電気的に接続されている。

上記の半導体装置では、たとえばインバータ接続時には、エミッタ電位Eを基準に、ゲート電極105aのゲート電位Gはオフ状態では-15 V、オン状態では+15 Vに設定されたパルス状の制御信号であり、コレクタ電極112のコレクタ電位はゲート電位に従って、概ね電源電圧と飽和電圧間の動作電圧範囲とされる。

図53に、従来の高耐圧半導体装置のセル領域終端部を示す概略断面図を示す。図53を参照して、複数個配列されたセル領域の終端部の第1主面には、p型不純物領域121が、たとえば $1 \times 10^{16} \sim 1 \times 10^{18} \text{cm}^{-3}$ の濃度で形成されている。このp型不純物領域121はp型ボディ領域102より第1主面から深く形成されており、かつチップ最外周部とセル領域間の電位差による電界を緩和する構造を有している。

図52の構成を改良したものとして、USP 6,040,599や特開平9-

331063号公報に開示された半導体装置がある。以下、これらの半導体装置について説明する。

図54は、USP 6,040,599に開示された半導体装置の構成を概略的に示す断面図である。図54を参照して、この半導体装置の構成は、図52の構成と比較して、高濃度n型不純物領域114が追加されている点において実質的に異なる。この高濃度n型不純物領域114は、n⁻シリコン基板101内のp型ボディ領域102と接する部分に設けられる。

なお、これ以外の構成については、上述した図52に示す構成と実質的に同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

図54に示す構造では、高濃度n型不純物領域114の存在によって、キャリアに対するバリアができる。このため、p型ボディ領域102の面積を縮小することなくn⁻シリコン基板101のエミッタ側キャリア濃度を増加することができる。これにより、オン抵抗およびオン電圧を低減することができる。

図55は、特開平9-331063号公報に開示された半導体装置の構成を概略的に示す断面図である。図55を参照して、この半導体装置の構成は、図52に示す構成と比較して、いわゆるエミッタトレンチが設けられた点において異なる。このエミッタトレンチは、基板の第1主面に設けられたエミッタ用溝101bと、このエミッタ用溝101bの内表面に沿って形成されるエミッタ用絶縁膜104bと、エミッタ用溝101b内を埋込むエミッタ電極105bとから構成されている。このエミッタ用電極105bは、絶縁層109A、109Bに設けられた孔109bを介してエミッタ電極111と電氣的に接続されている。このようなエミッタトレンチが、たとえば2つのゲート用溝101aに挟まれる領域に設けられている。

なお、これ以外の構成については、上述した図52に示す構成と実質的に同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

上記公報は、図55の構成においてゲート用溝101aとエミッタ用溝101bとの距離dxを0.2μm、ゲート用溝101aのピッチPiを5.3μmとすると、エミッタ側のキャリア濃度が増加し、IGBTのオン抵抗（すなわち、一定電流下でのIGBTのコレクターエミッタ間電圧；飽和電圧）を小さくでき、

定常損失を抑制できるとしている。

しかしながら、USP 6, 040, 599に開示された構成(図54)では、高濃度n型不純物領域114の存在によって、ゲート105aからの空乏層が伸びにくくなる。これにより、ドレイン側のゲート容量が大きくなり、短絡時に発振が生じるという問題があった。

またUSP 6, 040, 599に開示された構成では、ゲート用溝101aを通常のピッチで設計した場合、飽和電流が非常に大きくなり、短絡耐量自体が低くなるという問題もあった。

さらにUSP 6, 040, 599に開示された構成では、ゲート容量が大きい
10 ため、スイッチング時間遅れが生じ、かつ大容量ゲート駆動回路が必要になるという問題もあった。

また特開平9-331063号公報に開示された構成(図55)では、 $(2 \times dx) / P_i$ を小さくすることにより、飽和電圧が小さくされている。しかし飽和電圧を小さくするうえにおいて、エミッタ用溝101b内を埋込む導電層105bがエミッタ電位である必然性はなく、かつ発振を制御するための考慮もなされて
15 いない。このため、エミッタ用溝101b内を埋込む導電層105bの電位がゲート電位や浮遊電位になった場合や、導電層105bがエミッタ電位になっても他の条件が変動した場合には短絡時の発振が生じるという問題があった。以下、そのことについて詳細に説明する。

20 特開平9-331063号公報に開示された発明の効果を出すためには、 $(2 \times dx) / P_i$ が小さなことが必須である。ここで、 $(2 \times dx) / P_i$ は、セル中のエミッタ電位Eに接続されたp型ボディ領域102の割合である。

また、特開平9-331063号公報に係る発明と類似の発明を開示する特開平7-50405号公報には、トレンチの深さとp型ボディ領域の深さとの差を
25 dy として、 $(P_i + dy) / (2 \times dx)$ が5以上であることが要件として挙げられている。ここで dx は、MOSトランジスタのチャネル1個分に相当するエミッタ電位Eに接続されたp型ボディ領域の幅である。

すなわち、特開平9-331063号公報に係る発明において、飽和電圧を小さくする要件は、 dy にかかわらず、 P_i / dx が大きいことであり、エミッタ

用溝101bを埋込む導電層105bがエミッタ電位となることではない。

図56は、IGBTの等価回路を示す図である。図56を参照して、特開平7-50405号公報や特開平9-331063号公報に係る発明では、 P_i/d_x を大きくするため、微細加工限界で制限される d_x を基準にすると、 P_i を大きくすることになる。このため、単位面積あたりに形成されるMOSトランジスタ構造部分が少なくなる。よって、MOSトランジスタ T_r 部分での電圧降下 V_{mos} は、エミッタトレンチがない図52の構造よりも大きくなる。

一方、特開平7-50405号公報や特開平9-331063号公報に係る発明では、特開平7-50405号公報に示されているようにn型基板101のエミッタ側に近い領域でのキャリア濃度が上昇するため、ダイオード D_i 部分の電圧降下 V_{di} は、エミッタトレンチがない図52の構造よりも小さくなる。

IGBTとしての飽和電圧は、 V_{mos} と V_{di} との和で表わされるため、実際は特開平7-50405号公報に述べられている、 $(P_i + d_y) / (2 \times d_x)$ が5以上という条件は根拠がないことになる。

このことは、Proceedings of 1995 International Symposium on Semiconductor Devices & ICs, pp. 486-491においても、MOSトランジスタ部分のパラメータを一定とした場合について、 P_i/d_x をあまり大きくすると、MOSトランジスタ部分での電圧降下が大きくなるために飽和電圧が上昇することが述べられている。

P_i/d_x の最適範囲は、Proceedings of 1998 International Symposium on Semiconductor Devices & ICs, pp. 43-46にコレクタ注入効率を一定として示されたように、ゲート絶縁膜厚やチャネル長などのMOSトランジスタ部のパラメータ、基板厚みや基板内のライフタイムなどのダイオード部のパラメータ、トレンチ深さや電流密度などにより変わってくる。

しかし、現存する一般的なIGBTのパラメータを用い、 d_x も現実的な値である $1.5 \sim 2.5 \mu\text{m}$ に設定したとき、5000V級の高耐圧IGBTでは、最適な P_i/d_x は概ね5~8となる。また、1000V級では、NPT (Non Punch Through) 型IGBTのように、コレクタ注入効率が低い場合には、 d_x を $2 \mu\text{m}$ 、電流密度を 100 A/cm^2 とすると、 P_i/d_x が8程度では飽和

電圧を小さくする効果が出るが、 P_i/d_x が3程度では飽和電圧は逆に増加してしまう。

5 このように、特開平9-331063号公報に係る発明において、エミッタ用溝101b内を埋込む導電層105bがエミッタ電位であることの必然性は、単
 10 にエミッタ用溝101bの側壁にチャネルを形成しないことである。しかし、上記公報に開示された図55に示す構成では、エミッタ用溝101bの側壁に n^+ エミッタ領域103は設けられていないため、その側壁にチャネルが形成されない。ゆえに、エミッタ用溝101b内を埋込む導電層105bはエミッタ電位で
 15 なく、たとえば浮遊電位やゲート電位であったとしても、飽和電圧低減の効果が得られるため、飽和電圧を低減するための必然性としてエミッタ用溝101b内を埋込む導電層105bがエミッタ電位であることは求められない。

したがって、エミッタ用溝101b内を埋込む導電層105bの電位がゲート電位や浮遊電位になった場合や、エミッタ電位であったとしても他の条件が変動した場合には短絡時に発振が生じてしまう。

15 ここで、IGBTの発振について簡単に説明する。

図57は、IGBTの等価回路を示す図である。図57を参照して、短絡状態で、MOSトランジスタ T_r のゲートがオンし、ゲート電圧が V_g になった場合、MOSトランジスタ T_r がオフ状態からオン状態に変わるため、ドレイン側の電位 V_d は急激に低下し、 dV_d の変化をする。一方、ソース側電位 V_s は、主電
 20 流 i が di/dt だけ変化するため、エミッタの抵抗を R_e とすると、 $R_e \cdot di/dt$ だけ上昇する。

したがって、ドレイン側容量を C_d 、ソース側容量を C_s とすると、ゲートにドレイン側から流入する電流 i_{gd} は以下ようになる。

$$i_{gd} = C_d \cdot dV_d/dt \quad (dV_d/dt < 0)$$

25 またゲートにソース側から流入する電流 i_{gs} は以下ようになる。

$$i_{gs} = C_s \cdot R_e \cdot di/dt \quad (di/dt > 0)$$

したがって、ゲートに流れ込む電流 i_g の合計は、 $i_{gd} + i_{gs}$ となり、ゲート抵抗を R_g とすると、ゲート電圧は、 $dV_g = R_g \cdot i_g$ だけ変化し、 $V_{g'}$ になる。ここで、 $V_{g'}$ は以下のように表わされる。

$$Vg' = Vg + Rg \cdot ig = Vg + Rg \cdot (Cd \cdot dVd/dt + Cs \cdot Re \cdot di/dt)$$

実際は、寄生インダクタンスにより、 dVd/dt と di/dt とに時間差が生じるため、オン時にゲート電圧にサージが生じるなどの現象が起こるが、こ

5 では定性的な説明を行なうためにそのことは省略する。

また、 Cd 、 Cs が Vd 、 Vg によって変化するが、このことも本説明の定性的な部分では省略する。

また、これにより、主電流は短絡状態でMOSトランジスタを飽和状態であるとすれば、電流変化 $di = i' - i$ は、以下のようになる。

$$10 \quad di = gm (Vg' - Vth)^k - gm (Vg - Vth)^k$$

ここで、 k は1~2の値である。 gm はトランスコンダクタンスである。

また、この電流の変化によって、再びドレイン側の電位 Vd' が変化する。この繰返しの帰還のかかりかたによって、IGBTの短絡時の振る舞いが変わってくる。

15 OFF状態から短絡(ON状態)に変化するとき、 $Cs \cdot Re \cdot di/dt + Cd \cdot dVd/dt > 0$ の場合、 Vg' を Vg から dt 時間後のゲート電圧とすると、 Vg' は以下のようになる。

$$Vg' = Vg + Rg \cdot ig = Vg + Rg \cdot (Cd \cdot dVd/dt + Cs \cdot Re \cdot di/dt)$$

20 上式で、 $(Cd \cdot dVd/dt + Cs \cdot Re \cdot di/dt) > 0$ であるため、 $Vg' > Vg$ となる。

すなわち、ゲート電圧はさらに上昇する。 dt 時間後の主電流 i' は以下のよう

$$i' = gm (Vg' - Vth)^k$$

25 このため、ゲート電圧の上昇に伴い、主電流もさらに増加する。このようにして正帰還がかかる。

また、ゲート電圧の上昇に伴い、ドレイン・ソース間の電圧 Vd はさらに下降するが、その変化 dVd' は dVd よりも小さい。このように dVd/dt は時間とともに小さくなるため、 Vg の変化も時間とともに小さくなる。さらに、 d

i/dt も時間とともに小さくなるため、最終的には収束し発振はしない。

しかし、 $C_s \cdot R_e \cdot di/dt + C_d \cdot dV_d/dt$ が非常に大きなときは、正帰還が大きすぎ、瞬時に主電流が非常に大きくなり、発熱によって破壊することもある。

- 5 $C_s \cdot R_e \cdot di/dt + C_d \cdot dV_d/dt < 0$ の場合は、負帰還がかかる。
すなわち、ゲートがオンすることによるドレイン近傍の電位 V_d 低下の効果が大きく、ゲートへ電流が流れ込む。

$$V_{g'} = V_g + R_g \cdot i_g = V_g + R_g \cdot (C_d \cdot dV_d/dt + C_s \cdot R_e \cdot di/dt)$$

- 10 上式で、 $(C_d \cdot dV_d/dt + C_s \cdot R_e \cdot di/dt) < 0$ であるため、
 $V_{g'} < V_g$ となる。

すなわち、 dt 時間後のゲート電圧は低下する。

$$i' = g_m (V_{g'} - V_{th})^k$$

- であるため、今度はゲート電圧の低下に伴い、主電流が減少する。この状態で、
15 主電流 i' は低下する。

- $V_{g'} < V_{th}$ である場合、一度ONしたチャネルがOFF状態となるため、
 i' は著しく減少し、 V_d' は著しく増加する。すると、この場合、今度は逆に、
ON状態からOFF状態への変化であり、 $dV_d'/dt > 0$ 、 $di'/dt < 0$ となるため、IGBTのMOSトランジスタ部がオフに近い状態で、
20 $C_s \cdot R_e \cdot di'/dt + C_d \cdot dV_d'/dt > 0$ となり、今度は再び、以下のようになる。

$$V_{g''} = V_{g'} + R_g \cdot i_{g'} = V_{g'} + R_g \cdot (C_d \cdot dV_d'/dt + C_s \cdot R_e \cdot di'/dt)$$

- そして、 $R_e \cdot di'/dt + C_d \cdot dV_d'/dt > 0$ であるから、 $V_{g''} > V_{g'}$ となり、ゲート電位は非常に高くなる。
25

この繰返しによって、発振が起こるが、 n 番目の発振で生じた $dV_d(n)$ と
 $n+1$ 番目の発振で生じた $dV_d(n+1)$ の関係が $dV_d(n) > dV_d(n+1)$ の場合、
発振は収束する。 $dV_d(n) < dV_d(n+1)$ の場合には発振は大きくなるが、
 dV_d は十分にONしている状態から十分にOFFしている

状態が最大となるため、発振振幅には上限があり、その状態で発振が継続する。

- 5 なお、本願において帰還係数として挙げた係数は、OFF状態からON状態になる場合の dV_d と次にON状態からOFF状態になる場合の dV_d 変化の比 dV_d (OFF→ON) / dV_d (ON→OFF) であり、例として、 -1 以上 (最終的には -1 に収束する)、 -0.9 程度 (発振は徐々に収束する)、 -0.1 程度 (発振は急激に収束する) を挙げている。

ここで、 dV_d (OFF→ON) / dV_d (ON→OFF) と dV_d (ON→OFF) / dV_d (OFF→ON) は同様と仮定している (実際はそうになっている)。

- 10 また、特開平9-331063号公報の構成 (図55) では、ゲート用溝10aのピッチ P_i に対し、相当の幅のエミッタトレンチを必要とするか、もしくは浮遊電位のp型ボディ領域102をゲート用溝101aのピッチ P_i に対し相当分とらなくてはならない。

- 15 幅の広いエミッタトレンチを形成した場合、その中に充填する導電体は非常に厚く堆積し、エッチバックする必要がある、生産性が悪くなる問題があった。

また d_x を非常に小さくすれば、生産性の問題は解決されるが、MOSトランジスタの密度が大きくなるため、ゲート容量の増加によってスイッチング時間遅れが生じたり、大容量ゲート駆動回路が必要になるなどの問題が生じる。

- 20 また、MOSトランジスタ密度の増加により、飽和電流の増加による短絡耐量の低下も問題となる。

また広い浮遊電位のp型ボディ領域を確保する手法では、たとえばUSP4, 994, 871に示されたように、エミッタ電位のp型ボディ領域の面積の不足により、ラッチアップが生じる可能性もある。

25 発明の開示

本発明の目的は、オン抵抗や飽和電圧を小さくし、かつ飽和電流を小さくし、さらに発振を抑制することのできる半導体装置を提供することである。

本発明の一の局面に従う半導体装置は、絶縁ゲート型電界効果トランジスタ部と安定化プレートとを備えている。絶縁ゲート型電界効果トランジスタ部は、チ

- チャネル形成領域を挟んで互いに対向するソース領域およびドレイン領域と、チャネル形成領域にゲート絶縁膜を挟んで対向するゲート電極とを有している。安定化プレートは導電体または半導体からなり、ドレイン領域にプレート用絶縁膜を挟んで対向し、かつドレイン領域との間で容量を形成する。安定化プレートとド
- 5 レイン領域との間で形成される安定化プレート容量は、ゲート電極とドレイン領域との間で形成されるゲートドレイン容量よりも大きい。

本発明の一の局面に従う半導体装置によれば、安定化プレート容量がゲートドレイン容量よりも大きいため、短絡時の発振を抑制することが可能となる。

- また、安定化プレートを設けたことにより、飽和電圧を抑制しつつMOSトランジスタ密度を低減することができる。このため、ゲート容量の増加によるスイッチング時間遅れを防止でき、かつ大容量ゲート駆動回路を不要にすることができる。
- 10

また、絶縁ゲート型電界効果トランジスタ密度を低減できるため、飽和電流を小さくでき、短絡耐量を向上させることができる。

- また、安定化プレートを幅広の溝内に埋込む構成にする必要もない。このため、上記構成を形成する際のゲート電極材料のエッチバックに関する生産性の悪化を回避することもできる。
- 15

上記一の局面において好ましくは、安定化プレートは、ソース領域に電氣的に接続されている。

- これにより、効果的に発振を防止することができる。
- 20

上記一の局面において好ましくは、安定化プレートは、ソース電位との間で容量を構成する。

これにより、発振を防止しつつ構成の自由度を高めることができる。

- 上記一の局面において好ましくは、安定化プレートがドレイン領域と対向する部分におけるプレート用絶縁膜の膜厚は、ゲート電極がドレイン領域と対向する部分におけるゲート絶縁膜の膜厚よりも薄い。
- 25

これにより、プレート用絶縁膜の膜厚をゲート絶縁膜の膜厚より厚くするだけで、簡単な構成により発振を防止することができる。

上記一の局面において好ましくは、安定化プレートがドレイン領域と対向する

部分におけるプレート用絶縁膜の誘電率は、ゲート電極がドレイン領域と対向する部分におけるゲート絶縁膜の誘電率よりも大きい。

これにより、プレート用絶縁膜の誘電率をゲート絶縁膜の誘電率よりも大きくするだけで、簡単な構成で発振を防止することができる。

- 5 上記一の局面において好ましくは、安定化プレートがドレイン領域と対向する面積は、ゲート電極がドレイン領域と対向する面積よりも大きい。

これにより、簡単な構成で発振を抑制することができる。

- 10 上記一の局面において好ましくは、安定化プレートに対向する部分におけるドレイン領域の不純物濃度は、ゲート電極に対向する部分におけるドレイン領域の不純物濃度よりも高い。

これにより、不純物濃度を制御するだけの簡単な構成で発振を抑制することができる。

- 15 上記一の局面において好ましくは、絶縁ゲート型電界効果トランジスタは複数個並んで配置されており、2つの絶縁ゲート型電界効果トランジスタに挟まれる領域には2以上の安定化プレートが配置されている。

これにより、発振を防止しつつ、絶縁ゲート型電界効果トランジスタ密度を低減することができる。

- 20 上記一の局面において好ましくは、ドレイン領域のうち2以上の安定化プレートに挟まれる領域の不純物濃度が、ドレイン領域の他の領域の不純物濃度よりも高い。

この不純物濃度の高い領域により、空乏層が広がりにくくなるため、安定化プレートの容量を大きく保つことができる。

- 25 上記一の局面において好ましくは、チャネル形成領域はソース領域およびドレイン領域とは逆導電型のボディ領域内にあり、ボディ領域が安定化プレートに対向する長さに対するドレイン領域が安定化プレートに対向する長さの比は、ボディ領域がゲート電極に対向する長さに対するドレイン領域のゲート電極に対向する長さの比よりも大きい。

これにより、安定化プレートの容量をゲートドレイン容量よりも大きくすることができる。

上記一の局面において好ましくは、互いに対向する第1主面および第2主面を有し、かつ第1主面に形成されたゲート用溝を有する半導体基板がさらに備えられており、ゲート電極はゲート用溝内を埋め込んでいる。

- 5 これにより、チャンネル形成領域が基板表面に垂直に形成される構成についても、発振を防止することができる。

上記一の局面において好ましくは、ゲート電極は互いに対向する両側面を有しており、両側面の各々においてチャンネル形成領域と対向する。

これにより、ゲート電極の両側面でチャンネルを形成することが可能となる。

- 10 上記一の局面において好ましくは、ソース側電極とドレイン側電極とはともに半導体基板の第1主面に形成されている。

これにより、チャンネル形成領域が基板表面に平行に形成される構成についても発振を抑制することができる。

上記一の局面において好ましくは、ソース側電極は半導体基板の第1主面に形成されており、ドレイン側電極は第2主面側に形成されている。

- 15 これにより、チャンネル形成領域が基板表面に垂直に形成される構成についても、発振を抑制することができる。

上記一の局面において好ましくは、ゲート用溝は、ドレイン領域にまで達している。

これにより、ゲート電極とドレイン領域との間で容量を構成することができる。

- 20 上記一の局面において好ましくは、絶縁ゲート型電界効果トランジスタ部を含むセルが複数個並べて配列されており、配列された複数のセルの終端部に安定化プレートが配置されている。

これにより、セル内の絶縁ゲート型電界効果トランジスタ部のドレインで発生した電位変化がセル外に及ぶことを抑制し、耐量を向上させることができる。

- 25 上記一の局面において好ましくは、配列された複数のセルの終端部に安定化プレートが複数個配置されている。

これにより、発振抑制効果をさらに向上させることができる。

本発明の他の局面に従う半導体装置は、半導体基板と、第1および第2の絶縁ゲート型電界効果トランジスタ部と、第1および第2の安定化プレートとを備え

ている。半導体基板は、互いに対向する第1主面および第2主面を有している。第1および第2の絶縁ゲート型電界効果トランジスタの各々は、チャネル形成領域を挟んで互いに対向するソース領域およびドレイン領域と、チャネル形成領域にゲート絶縁膜を挟んで対向するゲート電極とを有している。第1の安定化プレートは、第1の絶縁ゲート型電界効果トランジスタ部のドレイン領域に第1のプレート用絶縁膜を挟んで対向し、かつ第1の絶縁ゲート型電界効果トランジスタ部のドレイン領域との間で容量を形成し、かつ導電体または半導体からなっている。第2の安定化プレートは、第2の絶縁ゲート型電界効果トランジスタ部のドレイン領域に第2のプレート用絶縁膜を挟んで対向し、かつ第2の絶縁ゲート型電界効果トランジスタ部のドレイン領域との間で容量を形成し、かつ導電体または半導体からなっている。第1の絶縁ゲート型電界効果トランジスタ部は第1主面に形成され、第2の絶縁ゲート型電界効果トランジスタ部は第2主面に形成され、かつ第1および第2の絶縁ゲート型電界効果トランジスタ部の間で電流が流される。

本発明の他の局面に従う半導体装置によれば、2つの絶縁ゲート型電界効果トランジスタ部の各々が基板の両面に対向して配置された発振の起こりやすい構成においても、安定化プレート容量をゲートドレイン容量よりも大きくすることにより、短絡時の発振を抑制することが可能となる。

また、安定化プレートを設けたことにより、飽和電圧を抑制しつつ絶縁ゲート型電界効果トランジスタ密度を低減することができる。このため、ゲート容量の増加によるスイッチング時間遅れを防止でき、かつ大容量ゲート駆動回路を不要とすることができる。

また、絶縁ゲート型電界効果トランジスタ密度を低減できるため、飽和電流を小さくでき、短絡耐量を向上させることができる。

また、安定化プレートを幅広の溝内に埋込む構成にする必要もない。このため、上記構成を形成する際のエッチバックに関する生産性の悪化も回避することができる。

上記他の局面において好ましくは、第1の安定化プレートと第1の絶縁ゲート型電界効果トランジスタ部のドレイン領域との間で形成される第1の安定化プレ

ート容量は、第1の絶縁ゲート型電界効果トランジスタ部のゲート電極とドレイン領域との間で形成される第1のゲートドレイン容量よりも大きい。第2の安定化プレートと第2の絶縁ゲート型電界効果トランジスタ部のドレイン領域との間で形成される第2の安定化プレート容量は、第2の絶縁ゲート型電界効果トランジスタ部のゲート電極とドレイン領域との間で形成される第2のゲートドレイン容量よりも大きい。

これにより、発振を抑制することが可能となる。

上記他の局面において好ましくは、第1の絶縁ゲート型電界効果トランジスタが複数個並んで配置されており、2つの第1の絶縁ゲート型電界効果トランジスタに挟まれる領域には、2以上の第1の安定化プレートが配置されている。第2の絶縁ゲート型電界効果トランジスタが複数個並んで配置されており、2つの第2の絶縁ゲート型電界効果トランジスタに挟まれる領域には、2以上の第2の安定化プレートが配置されている。ドレイン領域のうち2以上の第1の安定化プレートに挟まれる領域の不純物濃度および2以上の第2の安定化プレートに挟まれる領域の不純物濃度が、ドレイン領域の他の領域の不純物濃度よりも高い。

この不純物濃度の高い領域により、空乏層が広がりにくくなるため、安定化プレートの容量を大きく保つことができる。

上記他の局面において好ましくは、半導体基板は、第1主面に形成された第1のゲート用溝と、第2主面に形成された第2のゲート用溝とを有している。第1の絶縁ゲート型電界効果トランジスタ部のゲート電極は、第1のゲート用溝内を埋め込んでいる。第2の絶縁ゲート型電界効果トランジスタ部のゲート電極は、第2のゲート用溝内を埋め込んでいる。

これにより、チャネル形成領域が基板表面に垂直に形成される構成についても、発振を抑制することができる。

上記他の局面において好ましくは、第1の絶縁ゲート型電界効果トランジスタ部のゲート電極は、互いに対向する両側面を有しており、両側面の各々において第1の絶縁ゲート型電界効果トランジスタ部のチャネル形成領域と対向している。第2の絶縁ゲート型電界効果トランジスタ部のゲート電極は、互いに対向する両側面を有しており、両側面の各々において第2の絶縁ゲート型電界効果トランジ

スタ部のチャネル形成領域と対向している。

これにより、ゲート電極の両側面でチャネルを形成することができる。

上記他の局面において好ましくは、第1および第2の絶縁ゲート型電界効果トランジスタ部を含むセルが複数個並べて配列されており、配列された複数のセルの

5 終端部に第1および第2の安定化プレートが配置されている。

これにより、セル内の絶縁ゲート型電界効果トランジスタ部のドレインで発生した電位変化がセル外に及ぶことを抑制でき、耐量を向上させることができる。

上記他の局面において好ましくは、配列された複数のセルの終端部に第1および第2の安定化プレートの各々が複数個配置されている。

10 これにより、発振抑制効果がさらに向上する。

本発明のさらに他の局面に従う半導体装置は、絶縁ゲート型電界効果トランジスタ部と、安定化プレートとを備えている。絶縁ゲート型電界効果トランジスタ部は、チャネル形成領域を挟んで互いに対向するソース領域およびドレイン領域と、チャネル形成領域にゲート絶縁膜を挟んで対向するゲート電極とを有している。

15 安定化プレートは、ドレイン領域にプレート用絶縁膜を挟んで対向し、かつドレイン領域との間で容量を形成し、かつ導電体または半導体からなっている。絶縁ゲート型電界効果トランジスタ部を含むセルが複数個並べて配列されており、配列された複数のセルの終端部に安定化プレートが配置されている。

本発明のさらに他の局面に従う半導体装置によれば、セル内の絶縁ゲート型電界効果トランジスタ部のドレインで発生した電位変化がセル外に及ぶことを抑制でき、耐量を向上させることができる。

20

上記さらに他の局面において好ましくは、配列された複数のセルの終端部に安定化プレートが複数個配置されている。

これにより、発振抑制効果がさらに大きくなる。

25

図面の簡単な説明

図1は、本発明の実施の形態1における半導体装置の構成を概略的に示す回路図である。

図2は、本発明の実施の形態1における半導体装置の構成を概略的に示す断面

図である。

図 3 A、図 3 B、図 3 C および 図 3 D は、従来例において発振が生ずる様子を
示す図である。

図 4 は、図 3 A、図 3 B、図 3 C および 図 3 D の部分拡大図である。

5 図 5 A、図 5 B、図 5 C および 図 5 D は、本発明の実施の形態 1 における半導
体装置において発振が抑制されることを示す図である。

図 6 は、図 5 A、図 5 B、図 5 C および 図 5 D の部分拡大図である。

図 7 は、 I_c と V_{ce} との関係を示す図である。

10 図 8 は、本発明の実施の形態 2 における半導体装置の構成を概略的に示す断面
図である。

図 9 は、本発明の実施の形態 3 における半導体装置の構成を概略的に示す断面
図である。

図 10 は、本発明の実施の形態 4 における半導体装置の構成を概略的に示す断
面図である。

15 図 11 は、本発明の実施の形態 5 における半導体装置の構成を概略的に示す断
面図である。

図 12 は、本発明の実施の形態 6 における半導体装置の構成を概略的に示す断
面図である。

20 図 13 は、本発明の実施の形態 6 における半導体装置の他の構成を示す概略断
面図である。

図 14 は、本発明の実施の形態 6 における半導体装置の他の構成を示す概略断
面図である。

図 15 は、本発明の実施の形態 6 における半導体装置の他の構成を示す概略断
面図である。

25 図 16 は、本発明の実施の形態 7 における半導体装置の構成を概略的に示す断
面図である。

図 17 は、本発明の実施の形態 7 における半導体装置の他の構成を示す概略断
面図である。

図 18 は、本発明の実施の形態 8 における半導体装置の構成を概略的に示す断

面図である。

図 19 は、安定化プレートがフローティング状態にある様子を示す回路図である。

5 図 20 は、本発明の実施の形態 9 における半導体装置の構成を概略的に示す断面図である。

図 21 は、本発明の実施の形態 9 における半導体装置の他の構成を示す概略断面図である。

図 22 は、本発明の実施の形態 10 における半導体装置の構成を概略的に示す断面図である。

10 図 23 は、本発明の実施の形態 10 における半導体装置の他の構成を示す概略断面図である。

図 24 は、本発明の実施の形態 10 における半導体装置の他の構成を示す概略断面図である。

15 図 25 ～ 図 51 は、本発明のその他の形態における各種の半導体装置の構成を示す概略断面図である。

図 52 は、従来の半導体装置の構成を概略的に示す断面図である。

図 53 は、従来の半導体装置の終端構造を示す概略断面図である。

図 54 は、USP 6, 040, 599 に開示された半導体装置の構成を概略的に示す断面図である。

20 図 55 は、特開平 9-331063 号公報に開示された半導体装置の構成を概略的に示す断面図である。

図 56 は、IGBT のトランジスタ部とダイオード部の各々にかかる電圧を説明するための図である。

図 57 は、IGBT の回路構成を示す図である。

25

発明を実施するための最良の形態

以下、本発明の実施の形態について図に基づいて説明する。

(実施の形態 1)

図 1 および図 2 は、本発明の実施の形態 1 における半導体装置の構成を示す回

路図および概略断面図である。

主に図2を参照して、本実施の形態の半導体装置は、たとえば100～200 μm の厚みを有する半導体基板に形成されたトレンチゲート型IGBTである。
n⁻シリコン基板1は、たとえば約 $1 \times 10^{14} \text{ cm}^{-3}$ の濃度を有している。このn⁻シリコン基板1の第1主面側に、たとえば濃度が約 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ で第1主面からの深さが約3 μm のp型半導体よりなるp型ボディ領域2が形成されている。p型ボディ領域2内の第1主面には、たとえば濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上で、第1主面からの深さが約0.5 μm のn型半導体よりなるn型エミッタ領域3が形成されている。このn型エミッタ領域3と隣り合うように第1主面には、p型ボディ領域2への低抵抗コンタクトをとるためのp⁺不純物拡散領域6が、たとえば $1 \times 10^{20} \text{ cm}^{-3}$ 程度の濃度で形成されている。

第1主面には、n型エミッタ領域3とp型ボディ領域2とを突き抜けてn⁻シリコン基板1に達するゲート用溝1aが形成されている。このゲート用溝1aは、第1主面からたとえば3～10 μm の深さを有しており、ゲート用溝1aのピッチはたとえば2.0 $\mu\text{m} \sim 6.0 \mu\text{m}$ である。このゲート用溝1aの内表面には、たとえば30～200 nmの厚みのシリコン酸化膜よりなるゲート絶縁膜4aが形成されている。ゲート用溝1a内を埋め込むように、たとえばリンが高濃度に導入された多結晶シリコンよりなるゲート電極5aが形成されている。ゲート電極5aは、ゲート電位Gを与える制御電極に電氣的に接続されている。

このようにゲート用溝1aとゲート絶縁膜4aとゲート電極5aとからゲートトレンチが構成されている。またn⁻シリコン基板1とn型エミッタ領域3とゲートトレンチとから、n⁻シリコン基板1をドレインとし、n型エミッタ領域3をソースとする絶縁ゲート型電界効果トランジスタ部（ここでは、MOSトランジスタ部）が構成されている。

第1主面にはMOSトランジスタ部が複数個配置されており、2つのMOSトランジスタ部の間に、エミッタトレンチが形成されている。このエミッタトレンチは、エミッタ用溝1bと、エミッタ用絶縁膜4bと、エミッタ用導電層5bとを有している。エミッタ用溝1bは、p型ボディ領域2を突き抜けてn⁻シリコン基板1に達するように形成されており、第1主面からたとえば3～10 μm の

深さを有している。このエミッタ用溝 1 b の内表面に沿うように、たとえば 30 ~ 200 nm の厚みのシリコン酸化膜よりなるエミッタ用絶縁膜 4 b が形成されている。エミッタ用溝 1 b 内を埋め込むように、たとえばリンが高濃度に導入された多結晶シリコンよりなり、安定化プレートとなるエミッタ用導電層 5 b が形成されている。

第 1 主面上には層間絶縁膜 9 が形成されており、この層間絶縁膜 9 には第 1 主面に達する孔 9 a が設けられている。この孔 9 a の底部にはバリアメタル層 10 が形成されている。このバリアメタル層 10 を介して安定化プレート 5 b、 p^+ 不純物拡散領域 6 および n 型エミッタ領域 3 には、エミッタ電位 E を与えるエミッタ電極 11 が電氣的に接続されている。

また n⁻シリコン基板 1 の第 2 主面側には n 型バッファ領域 7 と、p 型コレクタ領域 8 とが順に形成されている。この p 型コレクタ領域 8 には、コレクタ電位 C を与えるコレクタ電極 12 が電氣的に接続されている。このコレクタ電極 12 の材質は、たとえばアルミニウム化合物である。

主に図 1 を参照して、図 2 に示す IGBT の構成は、MOS トランジスタ Tr とダイオード Di とから構成されている。またゲート電極 5 a と n⁻シリコン基板 1 との間にはドレイン側容量 C d が構成されており、ゲート電極 5 a と n 型エミッタ領域 3 との間にはソース側容量 C s が構成されている。また安定化プレート 5 b と n⁻シリコン基板 1 との間には安定化プレート容量 C f が構成されている。そして本実施の形態においては、この安定化プレート容量 C f がドレイン側容量 C d より大きくなるように構成されている。

本実施の形態の半導体装置においては、たとえばインバータ接続時には、エミッタ電位を基準に、制御電極のゲート電位 G はオフ状態では -15 V に、オン状態では +15 V に設定されたパルス状の制御信号であり、コレクタ電極 12 のコレクタ電位 C はゲート電位 G に従って概ね電源電圧と飽和電圧との間の電圧とされる。

なお、ゲート用溝 1 a とエミッタ用溝 1 b との距離を d_x 、ゲート用溝 1 a のピッチを P_i とした場合に、 P_i/d_x の制限はない。

本願発明者らは、従来例と本実施の形態との各半導体装置における短絡時の波

形について調べた。

従来例としては、図54に示すUSP 6, 040, 599に記載の半導体装置を用いた。また測定にあたっては、電源電圧を400Vとし、ゲートには-15V～+14Vの範囲でオンパルス幅が10μsecのシングルパルス信号を与えた。その結果を図3A～図3Dおよび図4に示す。

なお、図3A～図3Dでは、 I_g 、 V_g 、 V_{ce} または I_c を縦軸にとり、時間を横軸にとっている。また図4では、図3A～図3Dの一部を拡大したものであり、 V_{ce} または I_c を縦軸にとり、時間を横軸にとっている。

図3A～図3Dおよび図4を参照して、図54に示す構成では、ゲートにオンパルスが入力された後、0.4～0.7μsecにかけて負のゲート電流が最大-2A流れる。これによって、ゲート電圧 V_g が0.75μsec後には-10V程度まで低下し、一度オンしたチャンネルが再び閉じ、そのことによって再びゲートがオンしていることがわかる。この構造では、過剰な負帰還がかかり、発振が生じ、その発振は減衰せずに継続することがわかる。

また図2に示す本実施の形態の構成においては、電源電圧を800Vとし、ゲートには-15V～+19Vの範囲でオンパルス幅が10μsecのシングルパルス信号を与えた。そのときの短絡時の波形を図5A～図5Dおよび図6に示す。

なお、図5A～図5Dは I_g 、 V_g 、 V_{ce} または I_c を縦軸とし、時間を横軸にとっている。図6は、図5A～図5Dの一部を拡大して示す図であり、 V_{ce} または I_c を縦軸にとり、時間を横軸にとっている。

図5A～図5Dおよび図6を参照して、図2に示す構成では、ゲートにオンパルスが入力された後、0.4～0.55μsecにかけては、負のゲート電流 I_g が最大-1A流れる。これによって、ゲート電圧 V_g が0.55μsec後には、一瞬ほぼ0Vまで低下し、発振しているが、次の発振はほぼ抑制されることがわかる。図2の構造では、過剰な負帰還がかかり発振が一時的に生じるが、帰還の係数 k が $-1 < k < 0$ で0.1に近い値であるため発振は急激に減衰する。このように本実施の形態の構造によると、800V以下の電源電圧で、オン時のゲート電圧の範囲が19V以下では発振は抑制される。

本実施の形態の構成において短絡時の発振が抑制できる理由を以下に説明する。

本実施の形態では、図1を参照して、短絡状態ではオフ状態から電源電圧を印加されたまま、オン状態になる。そこで、ドレイン近傍に発生する電荷 Q_d は、安定化プレート5bが設けられているため、ドレイン側容量 C_d と安定化プレート容量 C_f とに分配されることになる。このため、 dV_d は、安定化プレート5bがない場合に比べ、 $C_d / (C_d + C_f)$ の大きさとなる。よって、本実施の形態のように安定化プレート容量 C_f がドレイン側容量 C_d に比較して大きくなる場合には、 dV_d は小さくなり、 C_d が大きくなってもゲート電流 I_g の流入は小さくなり、 V_g の低下も小さくなる。したがって、帰還が小さくなり、発振が抑制されるのである。

10 また本願発明者らは、従来例と本実施の形態との各半導体装置におけるコレクタ電流とコレクタ電圧との関係について調べた。その結果を図7に示す。

図7の結果より、本実施の形態の半導体装置では、図52や図54に示す従来の半導体装置に比較して、コレクタ電圧を固定した時のコレクタ電流を小さくできることが分かる。

15 以上より、本実施の形態では、安定化プレート容量 C_f がドレイン側容量 C_d よりも大きくなるように構成されているため、短絡時の発振を抑制することができる。

また、安定化プレート5bの容量を介して、半導体基板内の電位がほぼ一定電位に固定されていることも、発振抑制に効果がある。

20 また、発振抑制にはゲートトレンチの両側にMOSトランジスタ部を形成し、ドレイン側容量 C を小さくすることも重要である。

また、チップ内の一部に不均一が生じ、 dV_d / dt が局所的に生じた場合でも、安定化プレート5bの容量を介して電位が固定されるため、周辺への影響を抑制することができる。

25 また、安定化プレート5bを設けたことにより、MOSトランジスタ密度を低減することができる。このため、ゲート容量の増加によるスイッチング時間遅れを防止でき、かつ大容量ゲート駆動回路を不要にすることができる。

また、MOSトランジスタ密度を低減できるため、飽和電流を小さくでき、短絡耐量を向上させることもできる。また、安定化プレート5bを幅広の溝内に埋

め込む構成にする必要もないため、このような幅広の構成を形成する際のエッチバックに関する生産性悪化を回避することもできる。

5 なお、本実施の形態においては、トレンチゲート構造のIGBTについて説明したが、MOSゲート構造のサイリスタ、MOSトランジスタなどの絶縁ゲート型電界効果トランジスタ部を持つスイッチング素子に対し、適用可能であり、同様の効果が望めることはいうまでもない。

また、本発明は、コレクタ構造がいかなる構造であっても同様な効果が得られる。

10 さらに、図8に示すようにたとえば平面ゲート型IGBTのような平面ゲート型スイッチング素子に適用しても、同様の効果があることはいうまでもない。

また図8に示す平面ゲート型素子で、面積効率を上げるためにトレンチ型の安定化プレート5bを用いても同様の効果があることも明白である。

15 また平面ゲート型素子では、安定化プレート5bの存在により、オン時に安定化プレート5b近傍の電流経路で電流が流れにくくなる現象がある。これを抑制するために、ゲート5aと安定化プレート5bの距離を拡げたり、安定化プレート5bに対向するn⁻シリコン基板1の領域のn型不純物濃度を高くすることも容易に推測できる。

また、導電型が逆の素子に対しても同様に有効である。

20 さらに、本実施の形態では、安定化プレート5bをエミッタ電極11に接続した例について説明したが、安定化プレート5bは、エミッタ電位E以外の一定電位や、負帰還を打ち消す方向の可変の電位を持つ電極でもよい。

また、安定化プレート5bのn⁻シリコン基板1側の側壁のn型不純物濃度を高くすることにより、安定化プレート容量Cfを大きくすること、ひいては発振抑制特性を向上する効果も得られる。

25 また安定化プレート容量Cfがドレイン側容量Cdに比べて大きいほどに電位安定化につながる。このため、図9～図17に示す構造またはそれらの組合せを用いることにより、安定化プレート容量Cfを増加させることによって、発振抑制効果をさらに高めることができる。

また図18に示すような、半導体基板の第1主面および第2主面の双方に絶縁

ゲート型電界効果トランジスタ構造を設けた素子や、コレクタとエミッタがともに第1主面に形成された素子に対しても本発明の構成は有効である。

5 また図19の等価回路に示すように、安定化プレートを直接一定電位にするのではなく、安定化プレートを n^- シリコン基板1との間で容量を構成させるとともにエミッタ電位との間でも容量を構成させるような浮遊電位とし、容量結合による電位の安定化を図ってもよい。

以下、これらの転用例について説明する。

(実施の形態2)

10 図8は、本発明の実施の形態2における半導体装置の構成を概略的に示す断面図である。図8を参照して、本実施の形態の半導体装置は、たとえば厚さが約100~200 μm の半導体基板に形成された平面ゲート型IGBTである。たとえば濃度が約 $1 \times 10^{14} \text{ cm}^{-3}$ の n^- シリコン基板1の第1主面側には、p型半導体よりなるp型ボディ領域2が選択的に形成されている。p型ボディ領域2は、たとえば約 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度を有し、第1主面から約3 μm の深さを有している。p型ボディ領域2内の第1主面には、たとえば濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上で、第1主面からの深さが約0.5 μm のn型半導体よりなるn型エミッタ領域3が形成されている。このn型エミッタ領域3の隣には、p型ボディ領域2への低抵抗コンタクトをとるための p^+ 不純物拡散領域6がたとえば $1 \times 10^{20} \text{ cm}^{-3}$ 程度の高濃度で形成されている。

20 n^- シリコン基板1とn型エミッタ領域3とに挟まれるp型ボディ領域2と対向するように第1主面上にゲート絶縁膜4を介してゲート電極5aが形成されている。

この n^- シリコン基板1とn型エミッタ領域3とゲート電極5aとにより、 n^- シリコン基板1をドレインとし、n型エミッタ領域3をソースとする絶縁ゲート型電界効果トランジスタ部（ここでは、MOSトランジスタ部）が構成されている。

25 2つのMOSトランジスタ部に挟まれる第1主面上に、絶縁膜4を介して安定化プレートとなるエミッタ用導電層5bが形成されている。この安定化プレート5bとゲート電極5aとの材質には、たとえばリンを高濃度に導入した多結晶シ

リコン、高融点金属材料、高融点金属シリサイド、またはそれらの複合膜が用いられる。

第1主面上には層間絶縁膜9が形成されており、この層間絶縁膜9には第1主面の一部表面に達する孔9aが形成されている。この孔9aの底部にはバリアメタル層10が形成されている。このバリアメタル層10を介して安定化プレート5b、 p^+ 不純物拡散領域6およびn型エミッタ領域3とに、エミッタ電位Eを与えるエミッタ電極11が電氣的に接続されている。

またn⁻シリコン基板1の第2主面側には、n型バッファ領域7とp型コレクタ領域8とが順に形成されている。p型コレクタ領域8には、コレクタ電位Cを与えるコレクタ電極12が電氣的に接続されている。このコレクタ電極12の材質は、たとえばアルミニウム化合物である。

なお、本実施の形態においては、ソース側電極とドレイン側電極とは共に第1主面側に形成されることとなる。

本実施の形態においても、安定化プレート5bとn⁻シリコン基板1との間で構成される安定化プレート容量Cfは、ゲート電極5aとn⁻シリコン基板1との間で構成されるドレイン側容量Cdよりも大きくなるように構成されている。

本実施の形態の半導体装置においては、たとえばインバータ接続時には、エミッタ電位Eを基準に、制御電極のゲート電位Gにオフ状態では-1.5V、オン状態では+1.5Vに設定されたパルス状の制御信号であり、コレクタ電極12のコレクタ電位Cは、ゲート電位Gに従って概ね電源電圧と飽和電圧との間の電圧とされる。

本実施の形態においても、安定化プレート容量Cfがドレイン側容量Cdよりも大きくなるよう設定されているため、実施の形態1と同様、短絡時の発振を抑制することができる。

また、これ以外の効果についても実施の形態1と同様の効果が得られる。

(実施の形態3)

図9は、本発明の実施の形態3における半導体装置の構成を概略的に示す断面図である。図9を参照して、本実施の形態の構成は、ゲート用溝1aとエミッタ用溝1bとの深さの関係において実施の形態1の構成と異なる。本実施の形態で

は、エミッタ用溝 1 b の n⁻シリコン基板内を延びる深さ D 2 が、ゲート用溝 1 a の n⁻シリコン基板内を延びる深さ D 1 よりも深くなるように設定されている。これにより、安定化プレート 5 b と n⁻シリコン基板 1 との間で構成される安定プレート容量 C f が、ゲート電極 5 a と n⁻シリコン基板 1 との間で構成されるゲート側容量 C d より大きくなっている。

なお、ゲート用溝 1 a とエミッタ用溝 1 b の第 1 主面からの深さ D 3、D 4 の各々は、たとえば 3 ~ 10 μ m の範囲内である。

なお、これ以外の構成については、上述した実施の形態 1 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

- 10 本実施の形態においても、ゲート用溝 1 a の深さ D 1 とエミッタ用溝 1 b の深さ D 2 とを調整することにより、安定化プレート容量 C f がドレイン側容量 C d より大きくなるように構成されているため、実施の形態 1 と同様、短絡時の発振を抑制することができる。

また、これ以外の効果についても実施の形態 1 と同様の効果が得られる。

- 15 なお、図 8 に示す構成では、安定化プレート 5 b が n⁻シリコン基板 1 と対向する面積を、ゲート電極 5 a が n⁻シリコン基板 1 と対向する面積より大きくすることにより、短絡時の発振を抑制することができる。

(実施の形態 4)

- 20 図 10 は、本発明の実施の形態 4 における半導体装置の構成を概略的に示す断面図である。図 10 を参照して、本実施の形態の構成は、ゲート絶縁膜 4 a とエミッタ用絶縁膜 4 b との膜厚の関係において実施の形態 1 の構成と異なる。本実施の形態では、ゲート絶縁膜 4 a とエミッタ用絶縁膜 4 b とにたとえばシリコン酸化膜などの同一の材質が用いられた上で、エミッタ用絶縁膜 4 b の厚み T 2 がゲート絶縁膜 4 a の厚み T 1 より薄く構成されている。これにより、安定化プレート容量 C f がドレイン側容量 C d よりも大きくなるように構成されている。

25 なお、これ以外の構成については、上述した実施の形態 1 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

本実施の形態では、エミッタ用絶縁膜 4 b の厚み T 2 とゲート絶縁膜 4 a の厚み T 1 とを調整することにより、安定化プレート容量 C f がドレイン側容量 C d

より大きくなるように構成されているため、実施の形態 1 と同様、短絡時の発振を抑制することができる。

また、これ以外の効果についても実施の形態 1 と同様の効果が得られる。

5 なお、上記においては、ゲート絶縁膜 4 a とエミッタ用絶縁膜 4 b との各膜厚を調整する場合について説明したが、図 1 の構成においてエミッタ用絶縁膜 4 b の誘電率をゲート絶縁膜 4 a の誘電率より高くすることにより、安定化プレート容量 C_f がドレイン側容量 C_d より大きくなるよう構成されていてもよい。

誘電率を調整する場合においても、安定化プレート容量 C_f がドレイン側容量 C_d より大きくなるため、実施の形態 1 と同様、発振を抑制することができる。

10 (実施の形態 5)

図 1 1 は、本発明の実施の形態 5 における半導体装置の構成を概略的に示す断面図である。図 1 1 を参照して、本実施の形態の構成は、2つの MOS トランジスタ部に挟まれる領域に複数本のエミッタトレンチが設けられている点において実施の形態 1 の構成と異なる。本実施の形態では、2つの MOS トランジスタに挟まれる領域の第 1 主面にたとえば 2 本のエミッタトレンチが設けられている。

15 このエミッタトレンチは、実施の形態 1 と同様、エミッタ用溝 1 b とエミッタ用絶縁膜 4 b と安定化プレート 5 b とから構成されている。また 2 つのエミッタトレンチに挟まれる第 1 主面には、p 型ボディ領域 2 への低抵抗コンタクトをとるための p^+ 不純物拡散領域 6 がたとえば $1 \times 10^{20} \text{ cm}^{-3}$ 程度の高濃度で形成されている。

20 なお、これ以外の構成については、上述した実施の形態 1 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

本実施の形態では、2つの MOS トランジスタ部に挟まれる領域に安定化プレート 5 b が複数本設けられているため、安定化プレート容量 C_f をドレイン側容量 C_d よりも大きくすることができ、実施の形態 1 と同様、短絡時における発振を抑制することができる。

25 また、これ以外の効果についても実施の形態 1 と同様の効果が得られる。

なお、安定化プレート 5 b に挟まれた領域は、エミッタ電位である必要はなく、浮遊電位であってもよい。浮遊電位の場合には、特開平 9 - 3 3 1 0 6 3 号公報

の効果と同様の効果を得ることができるが、USP 4, 994, 871に示されたようにラッチアップに対する耐量が下がるおそれがあるため注意が必要である。

(実施の形態6)

図12は、本発明の実施の形態6における半導体装置の構成を概略的に示す断面図である。図12を参照して、本実施の形態の構成は、 n^- シリコン基板1の不純物濃度が調整されている点において実施の形態1の構成と異なる。本実施の形態では、 n^- シリコン基板1の安定化プレート5bに対向する領域の n 型不純物濃度が他の n^- シリコン基板1の領域よりも高くなっている。つまり、 n^- シリコン基板1の安定化プレート5bに対向する領域に n^+ 不純物拡散領域14が設けられており、この n^+ 不純物拡散領域14は、たとえば $1 \times 10^{14} \text{ cm}^{-3}$ 程度の濃度を有する n^- シリコン基板1よりも高い n 型不純物濃度を有している。

なお、これ以外の構成については、上述した実施の形態1の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

本実施の形態では、安定化プレート5bに対向する位置に高濃度の n^+ 不純物拡散領域14が設けられている。このため、空乏層が拡がりやすく、大きい容量の安定化プレート容量 C_f を得ることが可能となる。よって、安定化プレート容量 C_f をドレイン側容量 C_d より大きくすることができるため、実施の形態1と同様、短絡時における発振を抑制することができる。

また、これ以外の効果についても実施の形態1と同様の効果を得ることができる。

なお、 n^+ 不純物拡散領域14は、半導体基板表面からのイオン注入と拡散によって形成することができ、またエミッタ用溝1b形成時にエミッタ用溝1bの側壁からのイオン注入や拡散によって形成することもできる。

なお図12に示す構成においては、高濃度の n^+ 不純物拡散領域14は、安定化プレート5bの両側壁近傍に配置されているが、安定化プレート5bの片方の側壁近傍のみに設けられても発振抑制の効果が得られる。

また図8に示すように平面ゲート型IGBTにおいては、安定化プレート5bと対向する n^- シリコン基板1の第1主面の領域に高濃度の n^+ 不純物拡散領域を設けることにより、本実施の形態と同様の効果が得られることは言うまでもない。

また図 1 1 に示すように 2 つの MOS トランジスタに挟まれる領域内に複数のエミッタトレンチがある構成においても、本実施の形態の構成を適用することができる。つまり、図 1 3 を参照して、2 つのエミッタトレンチに挟まれる n^- シリコン基板 1 の領域に高濃度の n^+ 不純物拡散領域 1 4 を設けることにより、本
5 実施の形態と同様の効果を得ることができる。

また図 1 3 に示すように安定化プレート 5 b に挟まれた p 型ボディ領域 2 がエミッタ電位に設定されている場合には、高濃度の n^+ 不純物拡散領域 1 4 の存在によってキャリア蓄積効果による飽和電圧低減の効果も得られる。

なお、図 1 4 および図 1 5 に示すように p 型ボディ領域 2 の下面近傍全域にわたって高濃度の n^+ 不純物拡散領域 1 4 が設けられていてもよい。このように p
10 型ボディ領域 2 の直下全域に高濃度の n^+ 不純物拡散領域 1 4 を設けることによって、飽和電圧低減の効果も得られる。

また図 1 4 および図 1 5 に示す構造においては、安定化プレート 5 b 近傍の n^+ 不純物拡散領域 1 4 もしくは n^- シリコン基板 1 の n 型不純物濃度を他の n 型領域の濃度より高くすることにより、空乏層の拡がりを十分に抑制でき、さらにド
15 レイン側容量 C_d を小さくすることもできる。

なお、上述した以外の図 1 2 ~ 図 1 5 の構成は、図 2 に示す実施の形態 1 の構成もしくは図 1 1 に示す実施の形態 5 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

20 また本願発明者らは、図 1 4 に示す本実施の形態の半導体装置におけるコレクタ電流とコレクタ電圧との関係について調べた。その結果を図 7 に併せて示す。

図 7 の結果より、本実施の形態の半導体装置では、図 5 4 に示す従来の半導体装置に比較して、コレクタ電圧を固定した時のコレクタ電流を小さくできることが分かる。

25 (実施の形態 7)

図 1 6 は、本発明の実施の形態 7 における半導体装置の構成を概略的に示す断面図である。図 1 6 を参照して、本実施の形態の構成は、p 型ボディ領域 2 の深さがエミッタトレンチ部とゲートトレンチ部とで異なっている点において実施の形態 1 の構成と異なる。本実施の形態では、p 型ボディ領域 2 はゲートトレンチ

部において深く、かつエミッタトレンチ部においては浅く形成されている。

このため、エミッタトレンチ部が n^{-} シリコン基板1と対向する長さは、ゲートトレンチが n^{-} シリコン基板1と対向する長さよりも長くなっている。つまり、 p 型ボディ領域2が安定化プレート5bに対向する長さに対する n^{-} シリコン基板1が安定化プレート5bに対向する長さの比は、 p 型ボディ領域2がゲート電極5aに対向する長さに対する n^{-} シリコン基板1のゲート電極5aに対向する長さの比よりも大きくなっている。

このように安定化プレート5bが n^{-} シリコン基板1に対向する長さが、ゲート電極5aが n^{-} シリコン基板1に対向する長さよりも長くなっているため、安定化プレート容量 C_f をドレイン側容量 C_d よりも大きくすることができる。

なお、これ以外の構成については、上述した実施の形態1の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

本実施の形態では、 p 型ボディ領域2の各部の深さを制御することにより、安定化プレート容量 C_f をドレイン側容量 C_d よりも大きくすることができるため、実施の形態1と同様、短絡時における発振を抑制することができる。

また、これ以外の効果についても実施の形態1と同様の効果が得られる。

本実施の形態の p 型ボディ領域2の深さを制御した構成は、図11の構成に適用されてもよい。この場合、たとえば図17に示すような構成が得られる。

図17を参照して、複数のエミッタトレンチに挟まれる p 型ボディ領域2の第1主面からの深さが、 p 型ボディ領域2の他の部分の第1主面からの深さよりも浅くなるように形成される。これにより、上記と同様、安定化プレート容量 C_f をドレイン側容量 C_d よりも大きくすることができ、短絡時における発振を抑制することが可能となる。

なお、図17に示す構成においては、2つのMOSトランジスタ部に挟まれる領域にエミッタトレンチが2本設けられた場合について説明したが、エミッタトレンチは3本以上設けられていてもよく、この場合には少なくとも1本のエミッタトレンチ近傍の p 型ボディ領域2の第1主面からの深さが浅くなっていればよい。

また、安定化プレート5bの近傍または安定化プレート5bに挟まれた領域で、

p型ボディ領域をなくし、n⁻シリコン基板1が分布するようにしてもよい。ただし、p型ボディ領域2の深さを浅くしたり、p型ボディ領域2をなくしたりする場合、主耐圧が低くならないように注意する必要がある。

また、p型ボディ領域2の安定化プレート5b近傍におけるp型不純物濃度を、
5 p型ボディ領域2の他の領域の不純物濃度よりも低くすることによっても、上記と同様の効果を得ることができる。

(実施の形態8)

図18は、本発明の実施の形態8における半導体装置の構成を概略的に示す断面図である。図18を参照して、本実施の形態の構成は、厚みがたとえば100
10 ~200 μm の半導体基板の第1主面および第2主面の双方にMOSトランジスタ部が形成された構成を有している。濃度が約 $1 \times 10^{14} \text{cm}^{-3}$ のn⁻シリコン基板1の第1主面側および第2主面側の各々に、たとえば濃度が約 $1 \times 10^{16} \sim 1 \times 10^{18} \text{cm}^{-3}$ 、深さが約3 μm のp型半導体よりなるp型ボディ領域2が形成されている。

15 また各p型ボディ領域2内の第1主面および第2主面の各々には、たとえば濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以上、深さが約0.5 μm のn型半導体よりなるn型エミッタ領域3が形成されている。また各n型エミッタ領域3の隣には、p型ボディ領域2への低抵抗コンタクトをとるためのp⁺不純物拡散領域6が、たとえば $1 \times 10^{20} \text{cm}^{-3}$ 程度の高濃度で形成されている。

20 第1主面および第2主面の各々には、n型エミッタ領域3とp型ボディ領域2とを突き抜けてn⁻シリコン基板1に達するゲート用溝1aが、たとえば3~10 μm の深さで形成されている。このゲート用溝1aの内表面に沿うように、たとえばシリコン酸化膜よりなるゲート絶縁膜4aが形成されている。ゲート用溝1a内を埋め込むように、たとえばリンが高濃度で導入された多結晶シリコンよりなるゲート電極5aが形成されている。ゲート電極5aは、ゲート電位Gを与える制御電極に電氣的に接続されている。
25

このようにゲート用溝1aとゲート絶縁膜4aとゲート電極5aとからゲートトレンチが構成されている。またn⁻シリコン基板1とn型エミッタ領域3とゲート電極5aとから、n⁻シリコン基板1をドレインとし、n型エミッタ領域3

をソースとする絶縁ゲート型電界効果トランジスタ部（ここでは、MOSトランジスタ部）が構成されている。

2つのMOSトランジスタ部に挟まれる第1および第2主面の各々には、エミッタトレンチが形成されている。

5 このエミッタトレンチは、エミッタ用溝1bと、エミッタ用絶縁膜4bと、エミッタ用導電層5bとを有している。エミッタ用溝1bは、p型ボディ領域2を突き抜けてn⁻シリコン基板1に達するように形成されており、3〜10 μ mの深さで形成されている。このエミッタ用溝1bの内表面に沿うように、たとえばシリコン酸化膜よりなるエミッタ用絶縁膜4bが形成されている。エミッタ用溝
10 1b内を埋め込むように、たとえばリンが高濃度で導入された多結晶シリコンよりなり、安定化プレートとなるエミッタ用導電層5bが形成されている。

第1主面側に形成された安定化プレート5bは、バリアメタル層10を介して、第1主面上に形成されたたとえばアルミニウム化合物よりなる第1電極11と電氣的に接続されている。またこの第1電極11は、第1主面にあるp⁺不純物拡散領域6およびn型エミッタ領域3とバリアメタル層10を介して電氣的に接続
15 されている。

また第2主面側に形成された安定化プレート5bは、バリアメタル層10を介して、第2主面上に形成されたたとえばアルミニウム化合物よりなる第2電極11と電氣的に接続されている。またこの第2電極11は、第2主面にあるp⁺不
20 純物拡散領域6およびn型エミッタ領域3とバリアメタル層10を介して電氣的に接続されている。

上記の構成においては、第1および第2電極11の電位を基準にして、第1および第2主面の各々に形成されたゲート電極5aに、たとえばオフ時には−15V、オン時には+15Vの信号が入力される。一方、第1および第2電極11間
25 には最大で概ね主耐圧の半分程度の電圧が印加され、その大小によっては、一方がエミッタ、一方がコレクタとなり、それらは一般には任意に入れ替わる。

このため、第1および第2主面の双方にMOSトランジスタ部が位置する構成においては、MOSトランジスタ部のドレイン側電位の変化は、図2に示した構造に比べて大きくなるため、発振も起こりやすくなってくる。したがって、本実

施の形態の構成のように、MOSトランジスタ部のドレイン側電位変化を抑制する安定化プレート5bを設けて発振を抑制することは極めて有効である。

5 なお、安定化プレート5bとn⁻シリコン基板1との間で構成される安定化プレート容量C_fは、ゲート電極5aとn⁻シリコン基板1との間で構成されるドレイン側容量C_dよりも大きいことが好ましい。これにより、短絡時の発振をさらに抑制することが可能となる。

10 なお、図18においては、第1および第2主面の両面に安定化プレート5bを設けた場合について説明したが、第1および第2主面のいずれか片面にのみ安定化プレート5bを設ける場合でも発振抑制の効果が得られることは言うまでもない。

また、第1および第2主面の少なくともいずれかに実施の形態2~7による構造を用いた場合でも、同様に発振抑制効果が向上することも明白である。

(実施の形態9)

15 本実施の形態においては、上記の実施の形態1~7の各構成におけるIGBTのセルが複数個配列されたその終端構造に関するものである。

図20は、本発明の実施の形態9における半導体装置の構成を概略的に示す断面図である。なお、図20においては、図2に示した実施の形態1におけるIGBTのセルが複数個配置された構成を例として示している。

20 図20を参照して、図中左側には図示を省略してあるがたとえば図2に示す実施の形態1と同様のIGBTのセルが複数個配置されている。その複数配置されたセルの終端部の第1主面には、p型不純物拡散領域21とエミッタトレンチとが形成されている。

25 p型不純物拡散領域21は、たとえば深さがp型ボディ領域2よりも深く、濃度が約 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ であり、セル形成領域を取囲むように形成されている。またエミッタトレンチは、p型不純物拡散領域21を突き抜けてn⁻シリコン基板1に達するエミッタ用溝1aと、そのエミッタ用溝1bに内表面に沿うように形成されたエミッタ用絶縁膜4bと、エミッタ用溝1b内を埋め込む安定化プレートとなるエミッタ用導電層5bとを有している。

この安定化プレート5bは、第1主面上に形成されたエミッタ電極11とバリ

アメタル層 10 を介して電氣的に接続されている。また p 型不純物拡散領域 21 は、低抵抗コンタクトをとるための p⁺不純物拡散領域 6 とバリアメタル層 10 を介してエミッタ電極 11 に電氣的に接続されている。

5 なおこれ以外の構成については、上述した実施の形態 1 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

本実施の形態では、セル領域の終端部に安定化プレート 5b を配置することによって、セル領域内のドレイン部で発生した電位変化が、セル領域外に及ぶことが抑制されるため、耐量を向上させる効果がある。

10 なお図 20 では、セル終端部に安定化プレート 5b を 1 本配置した場合について説明したが、安定化プレート 5b を 2 本以上配置することにより、より発振抑制効果を高めることができる。

図 21 は、セル終端部に安定化プレートを複数本（たとえば 2 本）を配置した場合の構成を示す概略断面図である。図 21 を参照して、セル終端部に配置した 2 本の安定化プレート 5b のうち最外周に配置される安定化プレート 5b の構成
15 は、図 20 に示す構成と同様の構成を有している。また最外周に配置される安定化プレート 5b とセル領域との間に配置される安定化プレート 5b は、たとえば図 12 に示す実施の形態 6 の構成とほぼ同じ構成を有している。

つまり、安定化プレート 5b に対向する n⁻シリコン基板 1 の領域近傍に、n⁻シリコン基板 1 よりも n 型不純物濃度が高い n⁺不純物拡散領域 14 が形成され
20 ている。

なお、これ以外の構成については、上述した図 20 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

このようにセル終端部に複数本の安定化プレート 5b を配置することにより、より発振抑制効果を高めることができる。

25 また、電界を緩和させる構造が、フィールドプレート構造やベベル構造など別の構造であっても、本発明による安定化プレートを用いることにより、セル領域内の電位変化を電界緩和構造部分に及ぼしにくくできることは明白である。

また、これらの構造は、図 57、図 59、図 60 に示したような従来の高耐圧半導体装置のセル構造のセル終端部分の構造としても適用することができる。

(実施の形態 10)

図 18 に示す実施の形態 8 の構成においては、MOS トランジスタ構造に挟まれる領域に安定化プレート 5 b を第 1 主面および第 2 主面の各々に 1 本ずつ配置した構成について説明したが、図 22 に示すように第 1 主面および第 2 主面の各々に複数本（たとえば 2 本）の安定化プレート 5 b が配置されていてもよい。またこの場合、複数の安定化プレート 5 b に挟まれる n^- シリコン基板 1 の部分に高濃度の n^+ 不純物拡散領域 14 が設けられていてもよい。

このように第 1 主面および第 2 主面の各々に安定化プレート 5 b を複数本設け、さらに n^+ 不純物拡散領域 14 を設けることにより、さらに発振抑制効果を高めることができる。

また、図 18 の構成におけるセル領域終端部の構成は、図 20 に示す構成とされてもよい。この場合、図 23 に示すようにセル領域終端部の第 1 主面および第 2 主面の各々にエミッタレンチと p 型不純物拡散領域 21 が形成される。また図 18 の構成におけるセル領域終端部の構成は、図 21 に示す構成とされてもよい。この場合、図 24 に示すような構成となる。

(他の実施の形態)

上述した実施の形態 1 ~ 10 の構成以外に、本発明の構成は、多種多様な高耐圧半導体装置に適用することができる。以下、各種の高耐圧半導体装置に本発明の構成を適用した例について説明する。

図 25 は、本発明の他の実施の形態における半導体装置の構成を概略的に示す断面図である。図 25 を参照して、 n^- シリコン基板 1 の第 1 主面側には、高濃度の n 型不純物拡散領域 14 と p 型ボディ領域 2 とが形成されている。この p 型ボディ領域 2 内の第 1 主面には n 型エミッタ領域 3 と、 p 型ボディ領域 2 への低抵抗コンタクトをとるための p^+ 不純物拡散領域 6 とが形成されている。

第 1 主面には、 n 型エミッタ領域 3 と p 型ボディ領域 2 と n 型不純物拡散領域 14 とを突き抜けて n^- シリコン基板 1 に達するゲート用溝 1 a が形成されている。このゲート用溝 1 a の内表面に沿うようにゲート絶縁膜 4 a が形成されており、ゲート用溝 1 a 内を埋め込むようにゲート電極 5 a が形成されている。

この n^- シリコン基板 1 と n 型エミッタ領域 3 とゲート電極 5 a とから、 n^- シ

リコン基板 1 をドレインとし、n 型エミッタ領域 3 をソースとする MOS トランジスタ構造が構成されている。また、ゲート用溝 1 a とゲート絶縁膜 4 a とゲート電極 5 a とから、ゲートトレンチが構成されている。

5 この 2 つの MOS トランジスタ構造に挟まれる第 1 主面にはたとえば複数本（たとえば 2 本）のエミッタトレンチが形成されている。このエミッタトレンチは、エミッタ用溝 1 b とエミッタ用絶縁膜 4 b とエミッタ用導電層 5 b とから構成されている。

10 エミッタ用溝 1 b は、p 型ボディ領域 2 と n 型不純物拡散領域 1 4 とを突き抜けて n⁻シリコン基板 1 に達するように形成されている。このエミッタ用溝 1 b の内表面に沿うようにエミッタ用絶縁膜 4 b が形成されており、エミッタ用溝 1 b 内を埋め込むように、安定化プレートとなるエミッタ用導電層 5 b が形成されている。また複数本のエミッタトレンチに挟まれる第 1 主面には p 型ボディ領域 2 への低抵抗コンタクトをとるための p⁺不純物拡散領域 6 が形成されており、その上にシリサイド層 2 1 a が形成されている。

15 ゲート電極 5 a 上には、たとえばシリコン酸化膜よりなる絶縁膜 2 2 A を介して、絶縁膜 9、2 2 B が形成されている。また第 1 主面および安定化プレート 5 b 上にはシリサイド層 2 1 a、2 1 b が形成されている。第 1 主面全面を覆うようにバリアメタル層 1 0 とエミッタ電極 1 1 とが形成されている。これにより、エミッタ電極 1 1 は、安定化プレート 5 b、n 型エミッタ領域 3 および p⁺不純物拡散領域 6 に電氣的に接続されている。

20 なお、n⁻シリコン基板 1 の第 2 主面側の構造は、たとえば図 2 に示すように n 型バッファ領域 7、p 型コレクタ領域 8 およびコレクタ電極 1 2 が形成された構成であってもよく、これ以外の構成であってもよい。このように複数の構成を適用することができるため、n⁻シリコン基板 1 の第 2 主面側の構造の図示は省略してある。

25 本実施の形態においても、安定化プレート 5 b と n⁻シリコン基板 1 との間に形成される安定化プレート容量 C f は、ゲート電極 5 a と n⁻シリコン基板 1 との間に形成されるドレイン側容量 C d よりも大きくなるよう構成されている。これにより、上述した実施の形態 1 ~ 1 0 と同様、短絡時の発振を抑制することが

可能となる。

図 2 5 の構成においては、エミッタ用溝 1 b の側壁であって第 1 主面に n^+ 不純物拡散領域 3 が追加されて図 2 6 に示すような構成が採用されてもよい。

5 また、図 2 5 の構成においては、ゲート用溝 1 a の両側壁に n 型エミッタ領域 3 を設けた場合について説明したが、図 2 7 に示すようにゲート用溝 1 b の片側の側壁にのみ n 型エミッタ領域 3 が設けられていてもよい。また、図 2 7 に示すように、MOS トランジスタ構造に挟まれる領域に 1 本の安定化プレート 5 b のみが配置されてもよい。

10 また図 2 5 の構成においては、各エミッタ用溝 1 b 内を埋め込む安定化プレート 5 b は、互いに分離された導電層として形成されているが、図 2 8 に示すように複数のエミッタ用溝 1 b 内は、一体化された単一の層よりなる安定化プレート 5 b によって埋め込まれていてもよい。この場合に、安定化プレート 5 b は、各エミッタ用溝 1 b 内の部分をつなぐブリッジ部上に形成されたシリサイド層 2 1 b を介して、バリアメタル層 1 0 とエミッタ電極 1 1 とに電氣的に接続されている。またシリサイド層 2 1 b が形成された領域以外の安定化プレート 5 b 上には、絶縁層 2 2 A、9、2 2 B が形成されている。

また、図 2 8 の構成においては、エミッタ用溝 1 b の側壁であって第 1 主面に n^+ 不純物拡散領域 3 が追加されて図 2 9 に示すような構成が採用されてもよい。

20 また、図 2 7 の構成においても、エミッタ用溝 1 b の側壁であって第 1 主面に n^+ 不純物拡散領域 3 が追加されて図 3 0 に示すような構成が採用されてもよい。

また、図 2 7 の構成においては、安定化プレート 5 b の上面はエミッタ用溝 1 b 内に位置しているが、図 3 1 に示すようにエミッタ用溝 1 b の上方に突出していてもよい。この場合、安定化プレート 5 b にエミッタ電極 1 1 が接続される部分にはシリサイド層 2 1 b が形成されているが、それ以外の部分上には絶縁層 2 2 A、9、2 2 B が形成されている。

25 また、図 3 1 の構成においては、エミッタ用溝 1 b の側壁であって第 1 主面に n^+ 不純物拡散領域 3 が追加されて図 3 2 に示すような構成が採用されてもよい。

また、図 2 5 の構成においては、 p 型ボディ領域 2 が第 1 主面全面に均一に分布した構成について説明したが、図 3 3 に示すようにゲート用溝 1 a の側壁部に

のみ位置していてもよい。

また、図 3 3 の構成においては、エミッタ用溝 1 b の側壁であって第 1 主面に n^+ 不純物拡散領域 3 が追加されて図 3 4 に示すような構成が採用されてもよい。

5 また、図 2 7 の構成においても、p 型ボディ領域 2 が第 1 主面全面に均一に分布した構成について説明したが、図 3 5 に示すようにゲート用溝 1 a の側壁部にのみ位置していてもよい。

また、図 2 8 の構成においても、p 型ボディ領域 2 が第 1 主面全面に均一に分布した構成について説明したが、図 3 6 に示すようにゲート用溝 1 a の側壁部にのみ位置していてもよい。

10 また、図 3 6 の構成においては、エミッタ用溝 1 b の側壁であって第 1 主面に n^+ 不純物拡散領域 3 が追加されて図 3 7 に示すような構成が採用されてもよい。

また、図 3 5 の構成においても、エミッタ用溝 1 b の側壁であって第 1 主面に n^+ 不純物拡散領域 3 が追加されて図 3 8 に示すような構成が採用されてもよい。

15 また、図 3 1 の構成においては、p 型ボディ領域 2 は第 1 主面全面に均一に分布した構成について説明したが、図 3 9 に示すようにゲート用溝 1 a の側壁部にのみ位置していてもよい。

また、図 3 9 の構成においては、エミッタ用溝 1 b の側壁であって第 1 主面に n^+ 不純物拡散領域 3 が追加されて図 4 0 に示すような構成が採用されてもよい。

20 また図 2 5 ~ 図 4 0 に示す構造では、ゲート電極 5 a の上面はゲート用溝 1 a 内に位置する場合について説明したが、ゲート用溝 1 a 上に突出していてもよい。ゲート電極 5 a の上面がゲート用溝 1 a の上方に突出した構成を図 4 1 ~ 図 4 9 に示す。

図 4 1 は図 2 5 の構成、図 4 2 は図 2 6 の構成、図 4 3 は図 2 7 の構成、図 4 4 は図 2 8 の構成、図 4 5 は図 3 7 の構成、図 4 6 は図 3 8 の構成、図 4 7 は図 3 9 の構成、図 4 8 は図 4 0 の構成において、ゲート電極 5 a の上面がゲート用溝 1 a 上に突出した構成に対応している。

25 また、図 8 に示す平面ゲート構造において n^- シリコン基板 1 の第 1 主面側の濃度が高濃度にされてもよい。たとえば図 4 9 に示すように n^- シリコン基板 1 の第 1 主面側に高濃度の n 型不純物拡散領域 1 4 が形成されていてもよい。これ

により、安定化プレート容量 C_f を大きくすることができるため、短絡時の発振をより抑制することができる。

また図49の構成においてn型バッファ領域7が省略されて図50に示すような構成とされてもよい。また図8に示す構成においてn型バッファ領域7が省略されて図51に示すような構成とされてもよい。

さらに、本発明のエミッタトレンチ（安定化プレート）を有するトレンチMOSゲート構造についても、これまでn型バッファ領域7が存在した場合について示したが、n型バッファ領域7が省略された構成でも同様な効果が得られる。

なお、上記の実施の形態1～10および他の実施の形態においては、安定化プレート容量 C_f がドレイン側容量 C_d よりも大きい場合について説明したが、安定化プレート容量 C_f がドレイン側容量 C_d の20%よりも大きい場合にも発振抑制の効果を得ることはできる。

また、ゲート電極5aおよび安定化プレート5bが導電体である場合について説明したが、ゲート電極5aおよび安定化プレート5bは半導体であってもよい。

また、上記においてはIGBTについて説明したが、本発明は絶縁ゲート型電界効果トランジスタ部を有する全ての素子に適用することが可能である。

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

本発明は、高耐圧素子、とりわけIGBTの構造に関するものであり、特にトレンチゲートIGBTにおいてはその効果を最大に発揮するものである。また、本発明は、短絡電流の抑制、ゲート容量の低減、短絡時の発振の抑制と損失低減を同時に達成する半導体装置およびその製造方法に有利に適用され得る。

請求の範囲

1. チャネル形成領域（２）を挟んで互いに対向するソース領域（３）およびドレイン領域（１）と、前記チャネル形成領域（２）にゲート絶縁膜（４、４ a）を挟んで対向するゲート電極（５ a）とを有する絶縁ゲート型電界効果トランジスタ部と、
- 5 前記ドレイン領域（１）にプレート用絶縁膜（４、４ b）を挟んで対向し、かつ前記ドレイン領域（１）との間で容量を形成する、導電体または半導体からなる安定化プレート（５ b）とを備え、
- 前記安定化プレート（５ b）と前記ドレイン領域（１）との間で形成される安定化プレート容量は、前記ゲート電極（５ a）と前記ドレイン領域（１）との間で形成されるゲートドレイン容量よりも大きいことを特徴とする、半導体装置。
- 10 2. 前記安定化プレート（５ b）は、前記ソース領域（３）に電気的に接続されていることを特徴とする、請求の範囲第１項記載の半導体装置。
3. 前記安定化プレート（５ b）は、ソース電位との間で容量を構成することを特徴とする、請求の範囲第１項記載の半導体装置。
- 15 4. 前記安定化プレート（５ b）が前記ドレイン領域（１）と対向する部分における前記プレート用絶縁膜（４ b）の膜厚は、前記ゲート電極（５ a）が前記ドレイン領域（１）と対向する部分における前記ゲート絶縁膜（４ a）の膜厚よりも薄いことを特徴とする、請求の範囲第１項記載の半導体装置。
- 20 5. 前記安定化プレート（５ b）が前記ドレイン領域（１）と対向する部分における前記プレート用絶縁膜（４ b）の誘電率は、前記ゲート電極（５ a）が前記ドレイン領域（１）と対向する部分における前記ゲート絶縁膜（４ a）の誘電率よりも大きいことを特徴とする、請求の範囲第１項記載の半導体装置。
6. 前記安定化プレート（５ b）が前記ドレイン領域（１）と対向する面積は、前記ゲート電極（５ a）が前記ドレイン領域（１）と対向する面積よりも大きいことを特徴とする、請求の範囲第１項記載の半導体装置。
- 25 7. 前記安定化プレート（５ b）に対向する部分における前記ドレイン領域（１）の不純物濃度は、前記ゲート電極（５ a）に対向する部分における前記ドレイン領域（１）の不純物濃度よりも高いことを特徴とする、請求の範囲第１項

記載の半導体装置。

8. 前記絶縁ゲート型電界効果トランジスタが複数個並んで配置されており、

2つの前記絶縁ゲート型電界効果トランジスタに挟まれる領域には、2以上の前記安定化プレート（5b）が配置されていることを特徴とする、請求の範囲第

5 1項記載の半導体装置。

9. 前記ドレイン領域（1）のうち前記2以上の安定化プレート（5b）に挟まれる領域の不純物濃度が、前記ドレイン領域（1）の他の領域の不純物濃度よりも高いことを特徴とする、請求の範囲第8項記載の半導体装置。

10 10. 前記チャネル形成領域（2）は前記ソース領域（3）および前記ドレイン領域（1）とは逆導電型のボディ領域内にあり、

前記ボディ領域（2）が前記安定化プレート（5b）に対向する長さに対する前記ドレイン領域（1）が前記安定化プレート（5b）に対向する長さの比は、前記ボディ領域（2）が前記ゲート電極（5a）に対向する長さに対する前記ドレイン領域（1）の前記ゲート電極（5a）に対向する長さの比よりも大きいことを特徴とする、請求の範囲第6項記載の半導体装置。

11. 互いに対向する第1主面および第2主面を有し、かつ前記第1主面に形成されたゲート用溝（4a）を有する半導体基板をさらに備え、

前記ゲート電極（5a）は、前記ゲート用溝（4a）内を埋め込んでいることを特徴とする、請求の範囲第1項記載の半導体装置。

20 12. 前記ゲート電極（5a）は互いに対向する両側面を有しており、前記両側面の各々において前記チャネル形成領域（2）と対向することを特徴とする、請求の範囲第11項記載の半導体装置。

13. ソース側電極（11）とドレイン側電極（12）とは共に前記半導体基板の第1主面に形成されていることを特徴とする、請求の範囲第1項記載の半導体装置。

25 14. ソース側電極（11）は前記半導体基板の第1主面に形成されており、ドレイン側電極（12）は前記第2主面側に形成されていることを特徴とする、請求の範囲第1項記載の半導体装置。

15. 前記ゲート用溝（4a）は、前記ドレイン領域（1）にまで達しているこ

とを特徴とする、請求の範囲第1項記載の半導体装置。

16. 前記絶縁ゲート型電界効果トランジスタ部を含むセルが複数個並べて配列されており、配列された複数の前記セルの終端部に前記安定化プレート(5b)が配置されていることを特徴とする、請求の範囲第1項記載の半導体装置。

5 17. 配列された複数の前記セルの終端部に前記安定化プレート(5b)が複数個配置されていることを特徴とする、請求の範囲第16項記載の半導体装置。

18. 互いに対向する第1主面および第2主面を有する半導体基板と、
チャンネル形成領域(2)を挟んで互いに対向するソース領域(3)およびドレイン領域(1)と、前記チャンネル形成領域(2)にゲート絶縁膜(4a)を挟んで対向するゲート電極(5a)とをそれぞれが有する第1および第2の絶縁ゲート型電界効果トランジスタ部と、

15 前記第1の絶縁ゲート型電界効果トランジスタ部の前記ドレイン領域(1)に第1のプレート用絶縁膜(4b)を挟んで対向し、かつ前記第1の絶縁ゲート型電界効果トランジスタ部の前記ドレイン領域(1)との間で容量を形成する、導電体または半導体からなる第1の安定化プレート(5b)と、

前記第2の絶縁ゲート型電界効果トランジスタ部の前記ドレイン領域(1)に第2のプレート用絶縁膜(4b)を挟んで対向し、かつ前記第2の絶縁ゲート型電界効果トランジスタ部の前記ドレイン領域(1)との間で容量を形成する、導電体または半導体からなる第2の安定化プレート(5b)とを備え、

20 前記第1の絶縁ゲート型電界効果トランジスタ部は前記第1主面に形成され、前記第2の絶縁ゲート型電界効果トランジスタ部は前記第2主面に形成され、かつ前記第1および第2の絶縁ゲート型電界効果トランジスタ部の間で電流を流すことを特徴とする、半導体装置。

25 19. 前記第1の安定化プレート(5b)と前記第1の絶縁ゲート型電界効果トランジスタ部の前記ドレイン領域(1)との間で形成される第1の安定化プレート容量は、前記第1の絶縁ゲート型電界効果トランジスタ部の前記ゲート電極(5a)と前記ドレイン領域(1)との間で形成される第1のゲートドレイン容量よりも大きく、

前記第2の安定化プレート(5b)と前記第2の絶縁ゲート型電界効果トラン

ジスタ部の前記ドレイン領域（１）との間で形成される第２の安定化プレート容量は、前記第２の絶縁ゲート型電界効果トランジスタ部の前記ゲート電極（５a）と前記ドレイン領域（１）との間で形成される第２のゲートドレイン容量よりも大きいことを特徴とする、請求の範囲第１８項記載の半導体装置。

- 5 20. 前記第１の絶縁ゲート型電界効果トランジスタが複数個並んで配置されており、２つの前記第１の絶縁ゲート型電界効果トランジスタに挟まれる領域には、２以上の前記第１の安定化プレート（５b）が配置されており、

前記第２の絶縁ゲート型電界効果トランジスタが複数個並んで配置されており、
2つの前記第２の絶縁ゲート型電界効果トランジスタに挟まれる領域には、２以上の前記第２の安定化プレート（５b）が配置されており、

10 前記ドレイン領域（１）のうち前記２以上の第１の安定化プレート（５b）に挟まれる領域の不純物濃度および前記２以上の第２の安定化プレート（５b）に挟まれる領域の不純物濃度が、前記ドレイン領域（１）の他の領域の不純物濃度よりも高いことを特徴とする、請求の範囲第１８項記載の半導体装置。

- 15 21. 前記半導体基板は、前記第１主面に形成された第１のゲート用溝（４a）と、前記第２主面に形成された第２のゲート用溝（４a）とを有し、

前記第１の絶縁ゲート型電界効果トランジスタ部の前記ゲート電極（５a）は、前記第１のゲート用溝（４a）内を埋め込んでおり、

前記第２の絶縁ゲート型電界効果トランジスタ部の前記ゲート電極（５a）は、
20 前記第２のゲート用溝（４a）内を埋め込んでいることを特徴とする、請求の範囲第１８項記載の半導体装置。

22. 前記第１の絶縁ゲート型電界効果トランジスタ部の前記ゲート電極（５a）は、互いに対向する両側面を有しており、前記両側面の各々において前記第１の絶縁ゲート型電界効果トランジスタ部の前記チャネル形成領域（２）と対向し、
25 し、

前記第２の絶縁ゲート型電界効果トランジスタ部の前記ゲート電極（５a）は、互いに対向する両側面を有しており、前記両側面の各々において前記第２の絶縁ゲート型電界効果トランジスタ部の前記チャネル形成領域（２）と対向することを特徴とする、請求の範囲第２１項記載の半導体装置。

23. 前記第1および第2の絶縁ゲート型電界効果トランジスタ部を含むセルが複数個並べて配列されており、配列された複数の前記セルの終端部に前記第1および第2の安定化プレート(5b)が配置されていることを特徴とする、請求の範囲第18項記載の半導体装置。

- 5 24. 配列された複数の前記セルの終端部に前記第1および第2の安定化プレート(5b)の各々が複数個配置されていることを特徴とする、請求の範囲第18項記載の半導体装置。

- 10 25. チャンネル形成領域(2)を挟んで互いに対向するソース領域(3)およびドレイン領域(1)と、前記チャンネル形成領域(2)にゲート絶縁膜(4a)を挟んで対向するゲート電極(5a)とを有する絶縁ゲート型電界効果トランジスタ部と、

前記ドレイン領域(1)にプレート用絶縁膜(4b)を挟んで対向し、かつ前記ドレイン領域(1)との間で容量を形成する、導電体または半導体からなる安定化プレート(5b)とを備え、

- 15 前記絶縁ゲート型電界効果トランジスタ部を含むセルが複数個並べて配列されており、配列された複数の前記セルの終端部に前記安定化プレート(5b)が配置されている、半導体装置。

26. 配列された複数の前記セルの終端部に前記安定化プレート(5b)が複数個配置されていることを特徴とする、請求の範囲第25項記載の半導体装置。

補正書の請求の範囲

[2001年7月2日 (02. 07. 01) 国際事務局受理：新しい請求の範囲7が加えられた；
他の請求の範囲は変更なし。(1頁)]

23. 前記第1および第2の絶縁ゲート型電界効果トランジスタ部を含むセルが複数個並べて配列されており、配列された複数の前記セルの終端部に前記第1および第2の安定化プレート(5b)が配置されていることを特徴とする、請求の範囲第18項記載の半導体装置。

5 24. 配列された複数の前記セルの終端部に前記第1および第2の安定化プレート(5b)の各々が複数個配置されていることを特徴とする、請求の範囲第18項記載の半導体装置。

25. チャンネル形成領域(2)を挟んで互いに対向するソース領域(3)およびドレイン領域(1)と、前記チャンネル形成領域(2)にゲート絶縁膜(4a)を挟んで対向するゲート電極(5a)とを有する絶縁ゲート型電界効果トランジスタ部と、

前記ドレイン領域(1)にプレート用絶縁膜(4b)を挟んで対向し、かつ前記ドレイン領域(1)との間で容量を形成する、導電体または半導体からなる安定化プレート(5b)とを備え、

15 前記絶縁ゲート型電界効果トランジスタ部を含むセルが複数個並べて配列されており、配列された複数の前記セルの終端部に前記安定化プレート(5b)が配置されている、半導体装置。

26. 配列された複数の前記セルの終端部に前記安定化プレート(5b)が複数個配置されていることを特徴とする、請求の範囲第25項記載の半導体装置。

20 27. (追加) 隣り合う2つの前記ゲート電極(5a)に挟まれる領域内に前記チャンネル形成領域(2)と前記安定化プレート(5b)とが存在することを特徴とする、請求の範囲第1項記載の半導体装置。

FIG.1

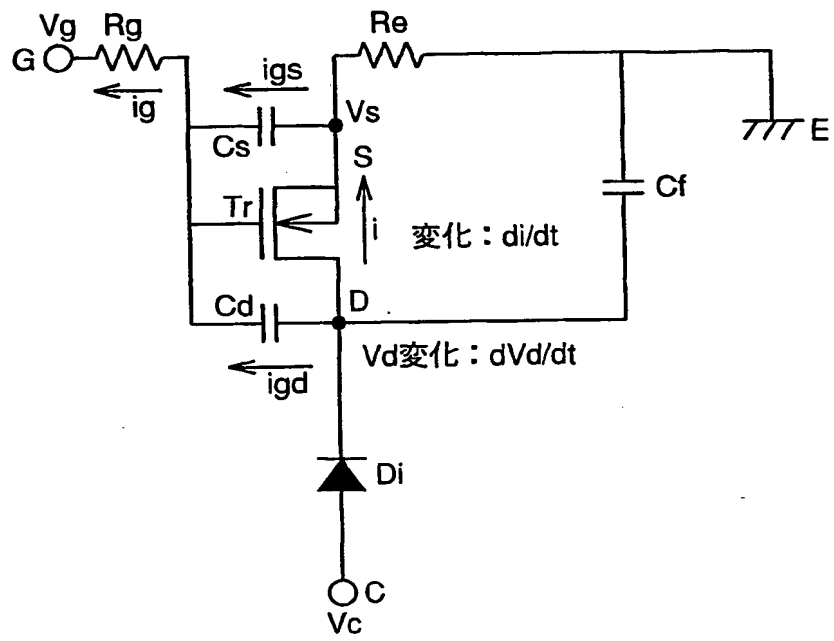


FIG.2

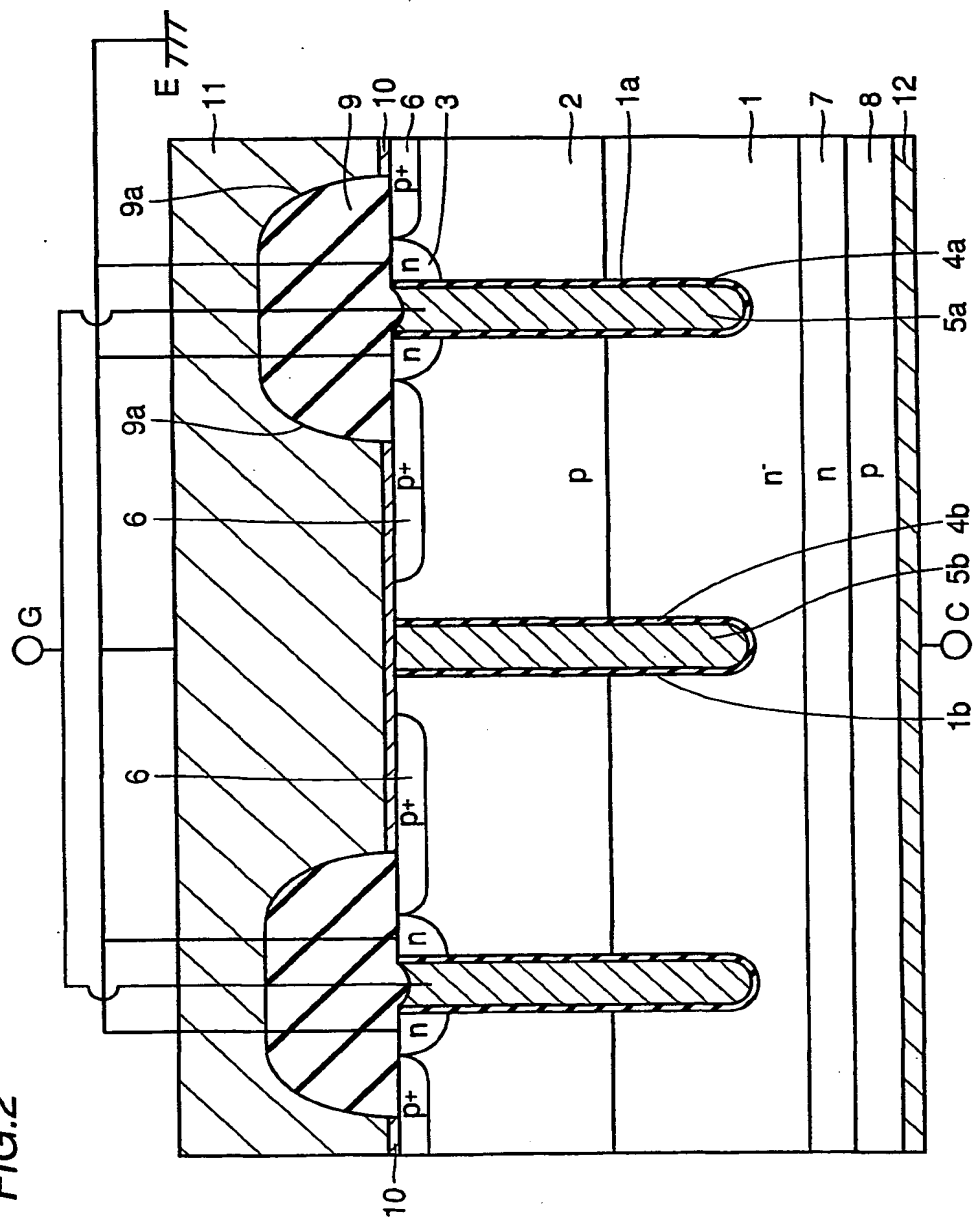


FIG.3A

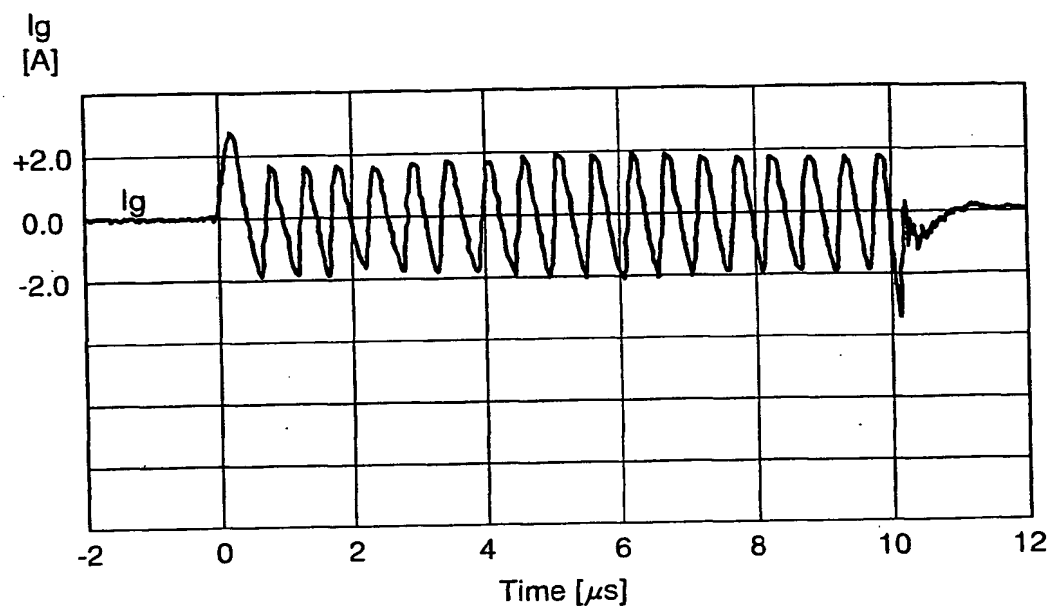


FIG.3B

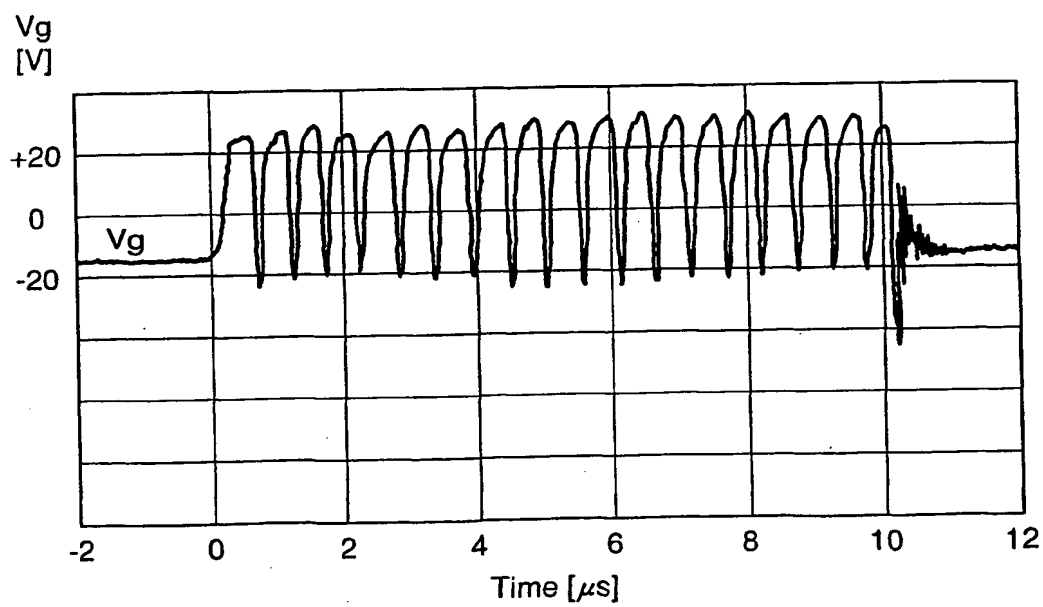


FIG.3C

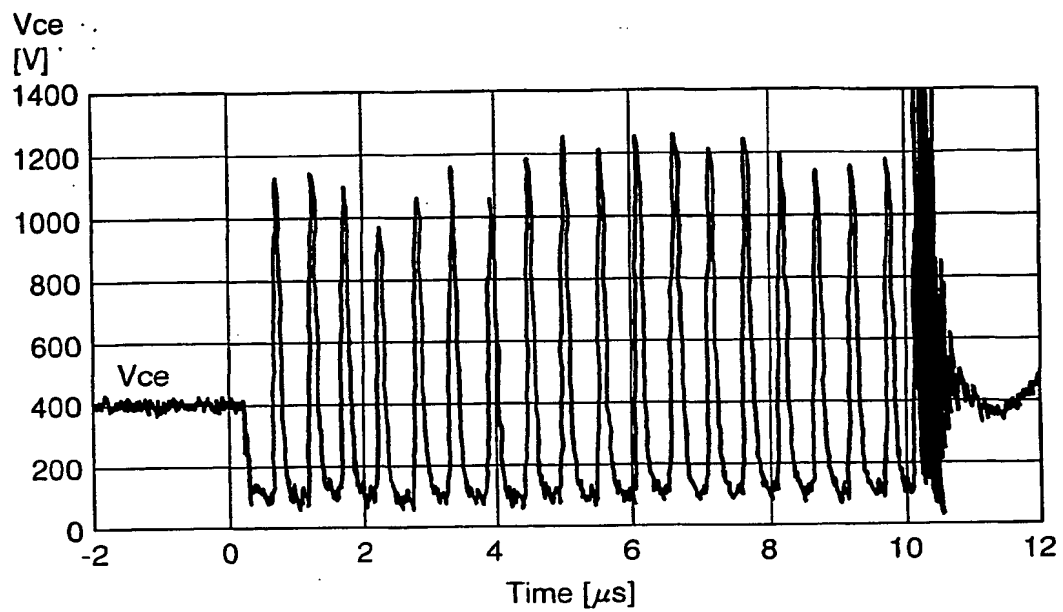


FIG.3D

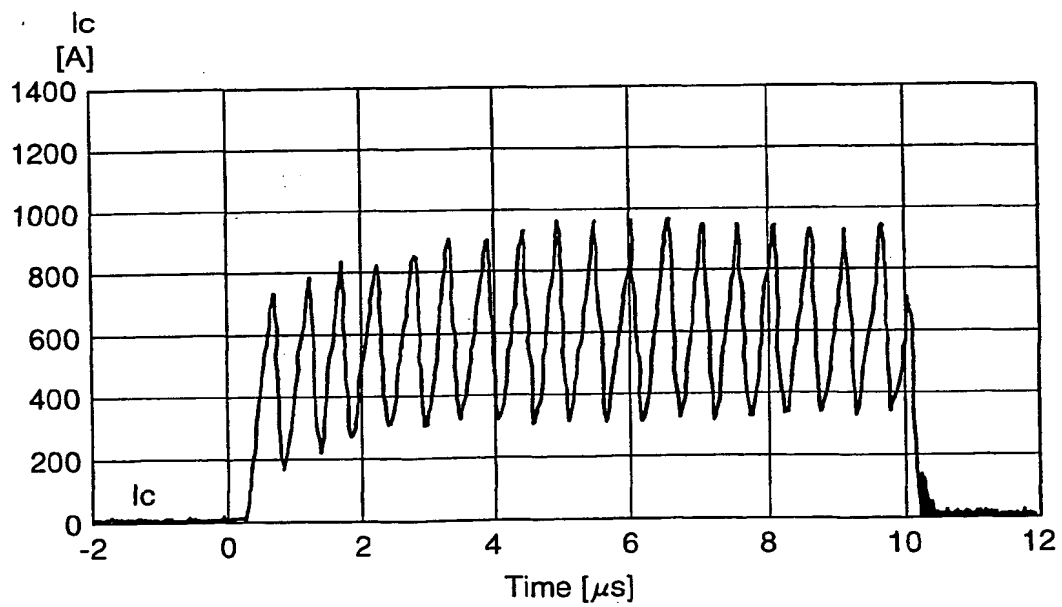


FIG.4

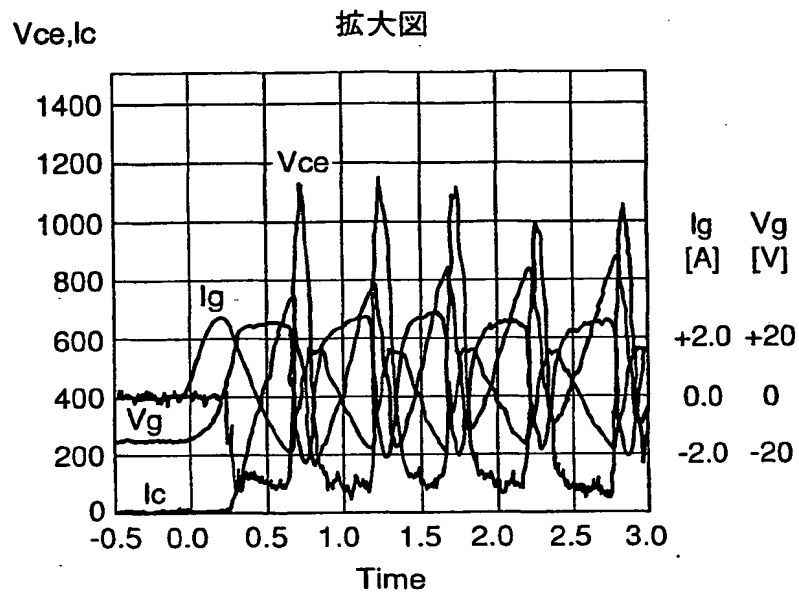


FIG.5A

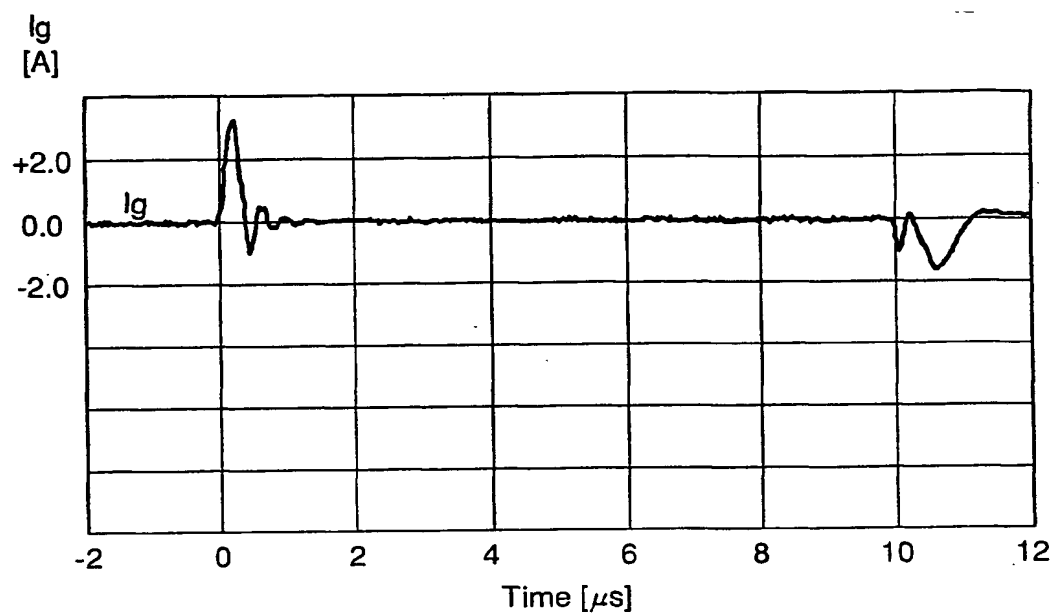


FIG.5B

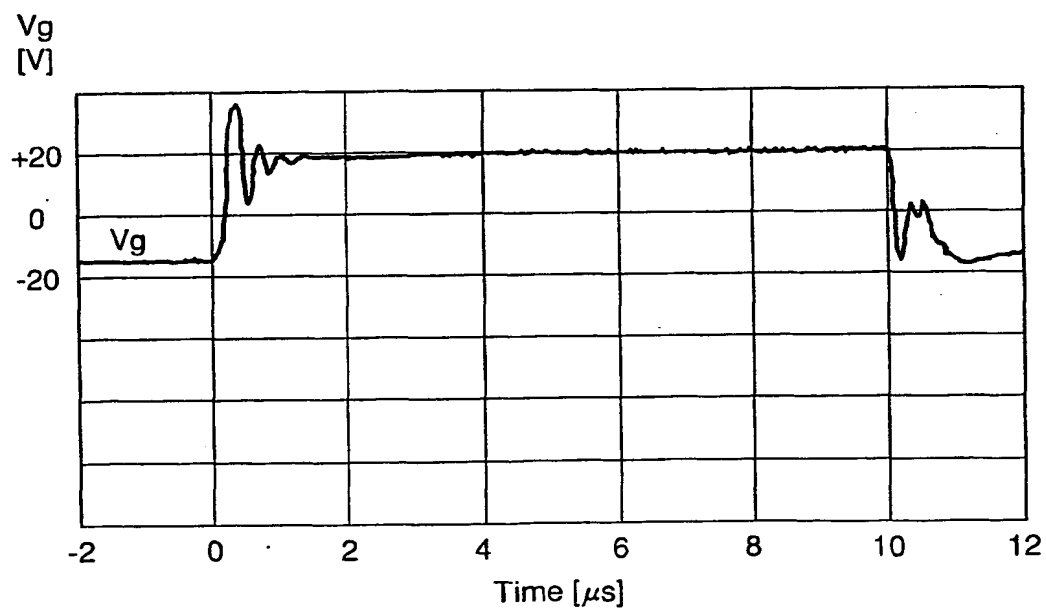


FIG.5C

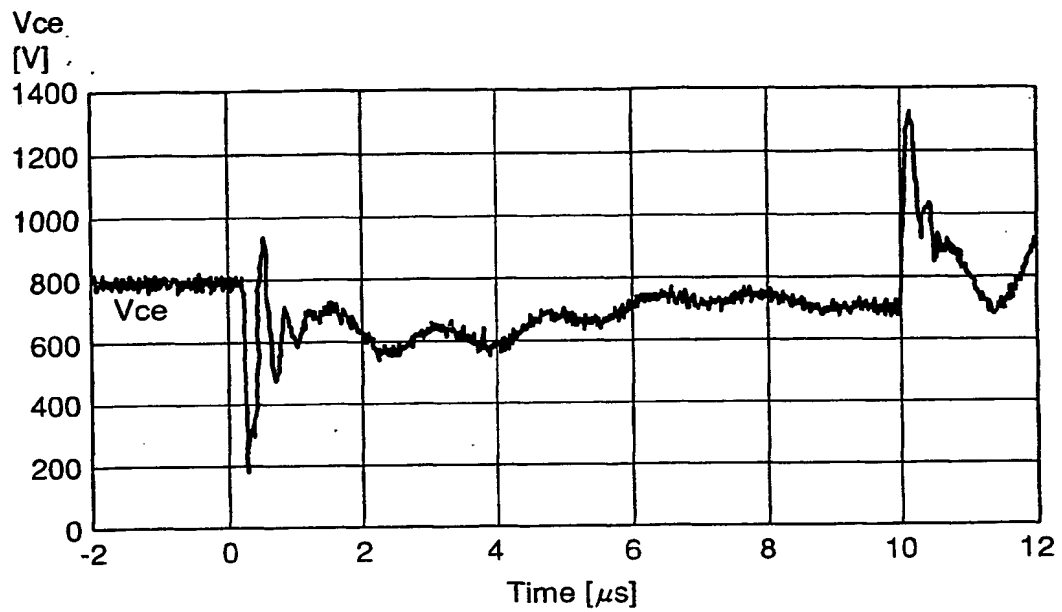


FIG.5D

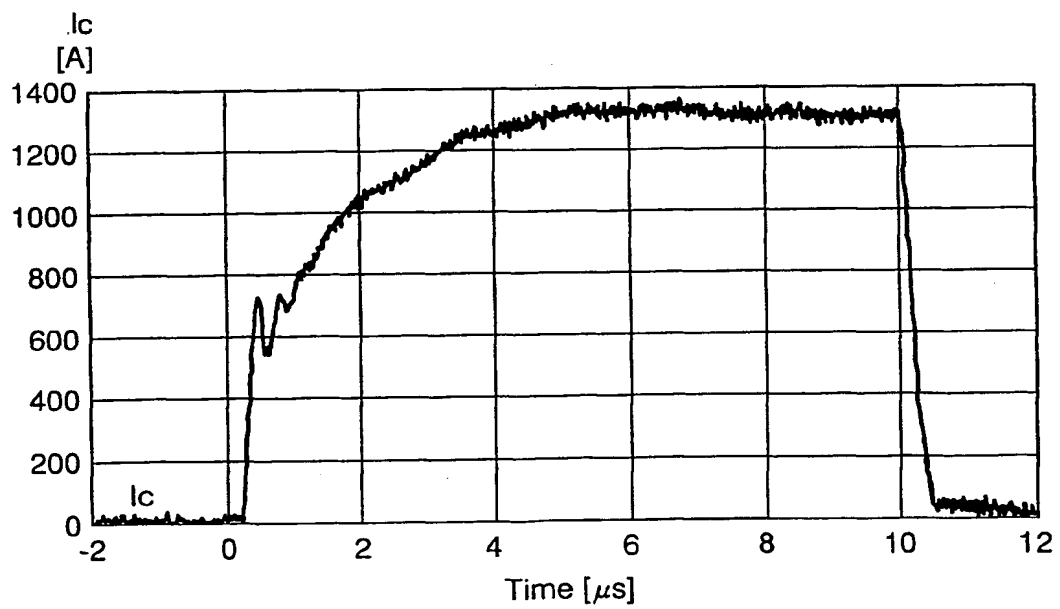


FIG.6

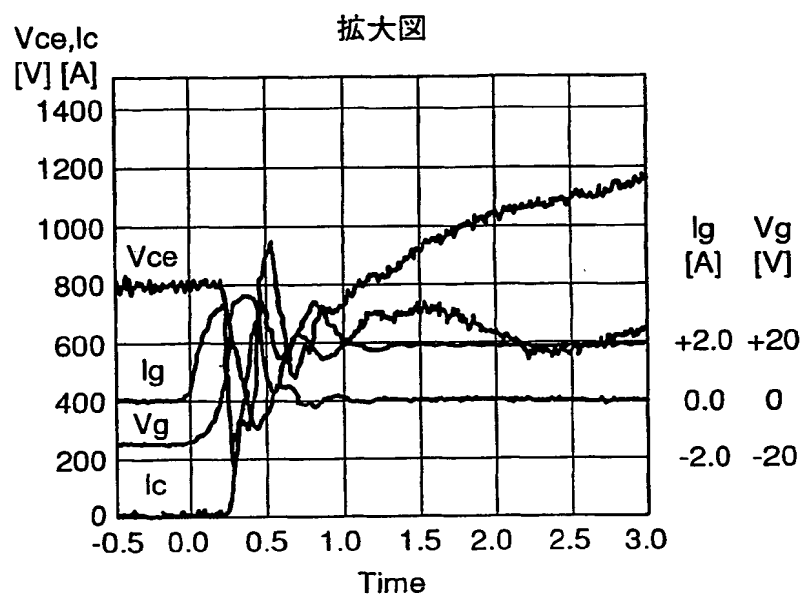
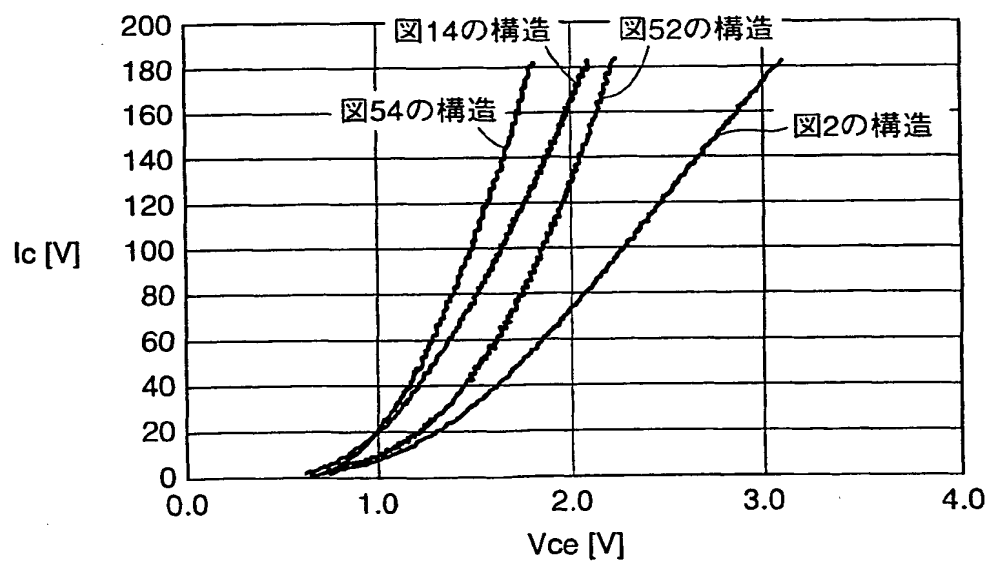
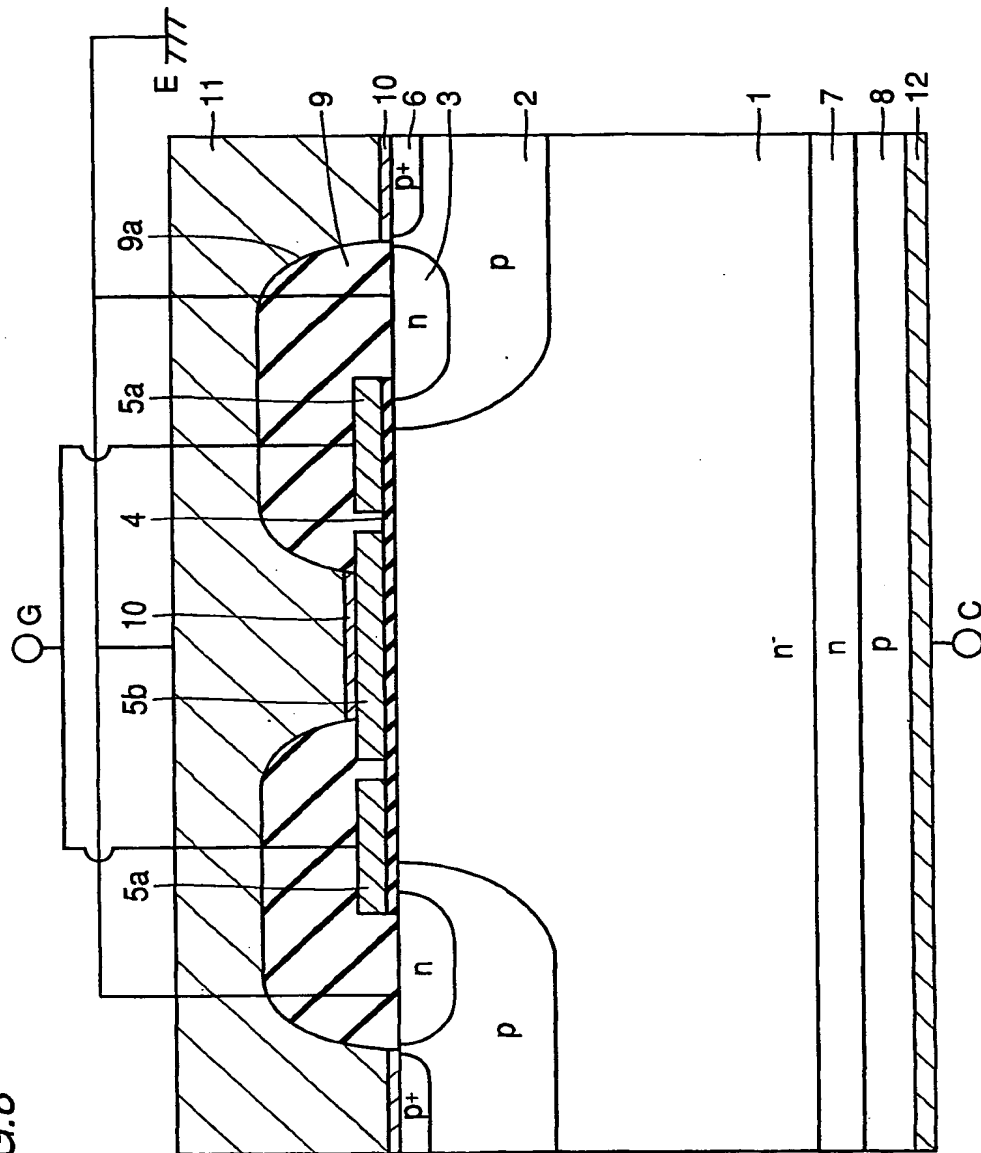


FIG.7





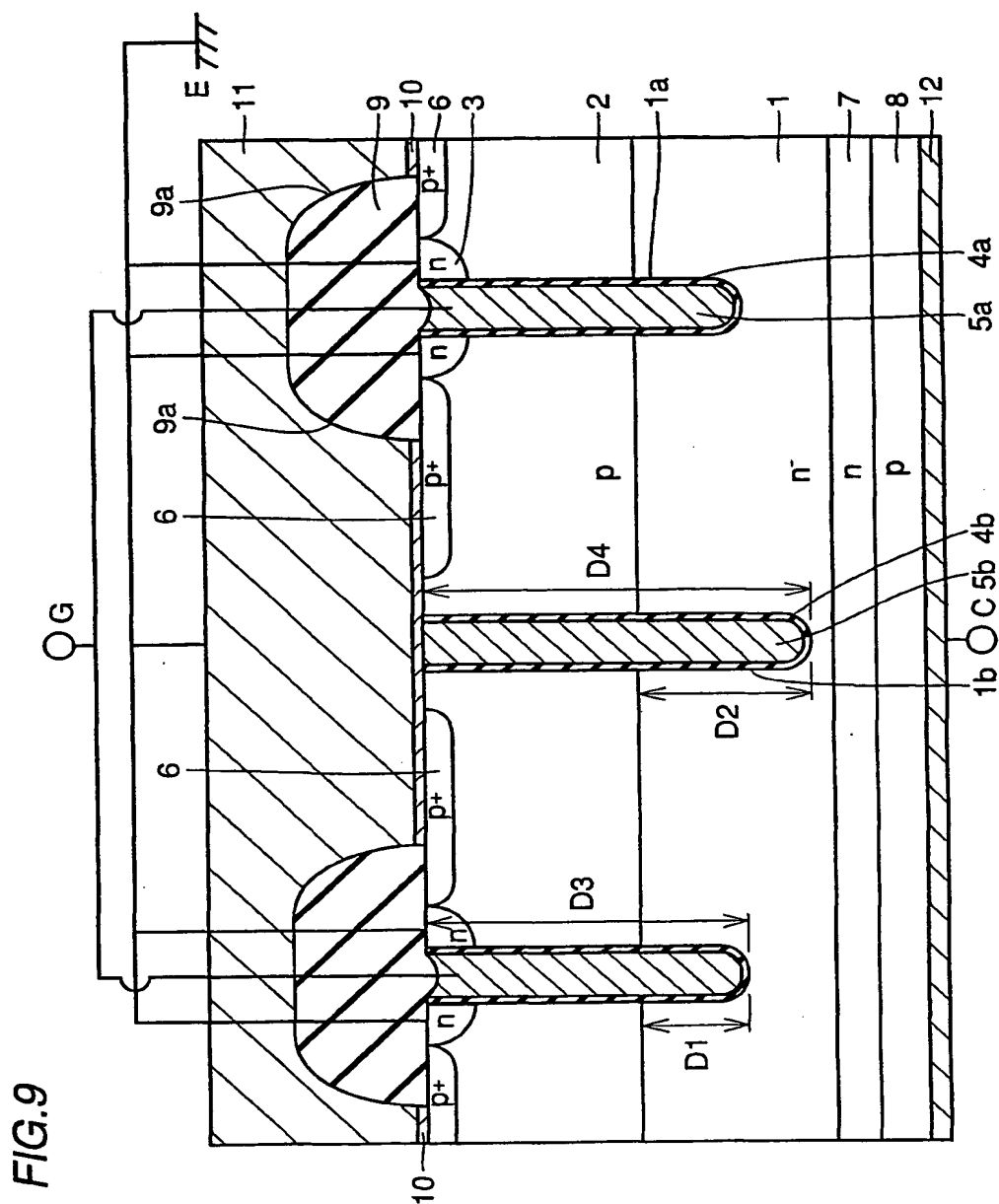
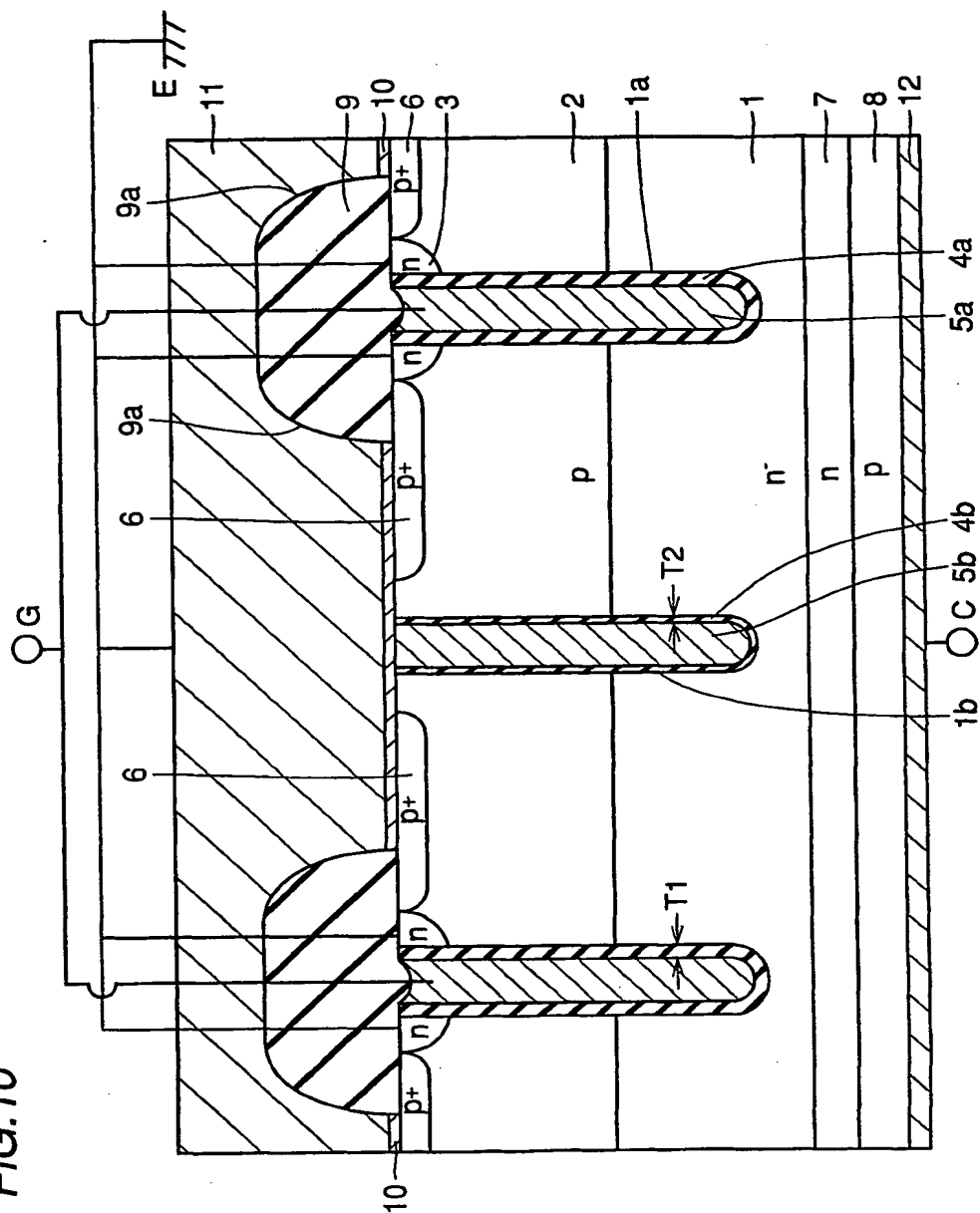
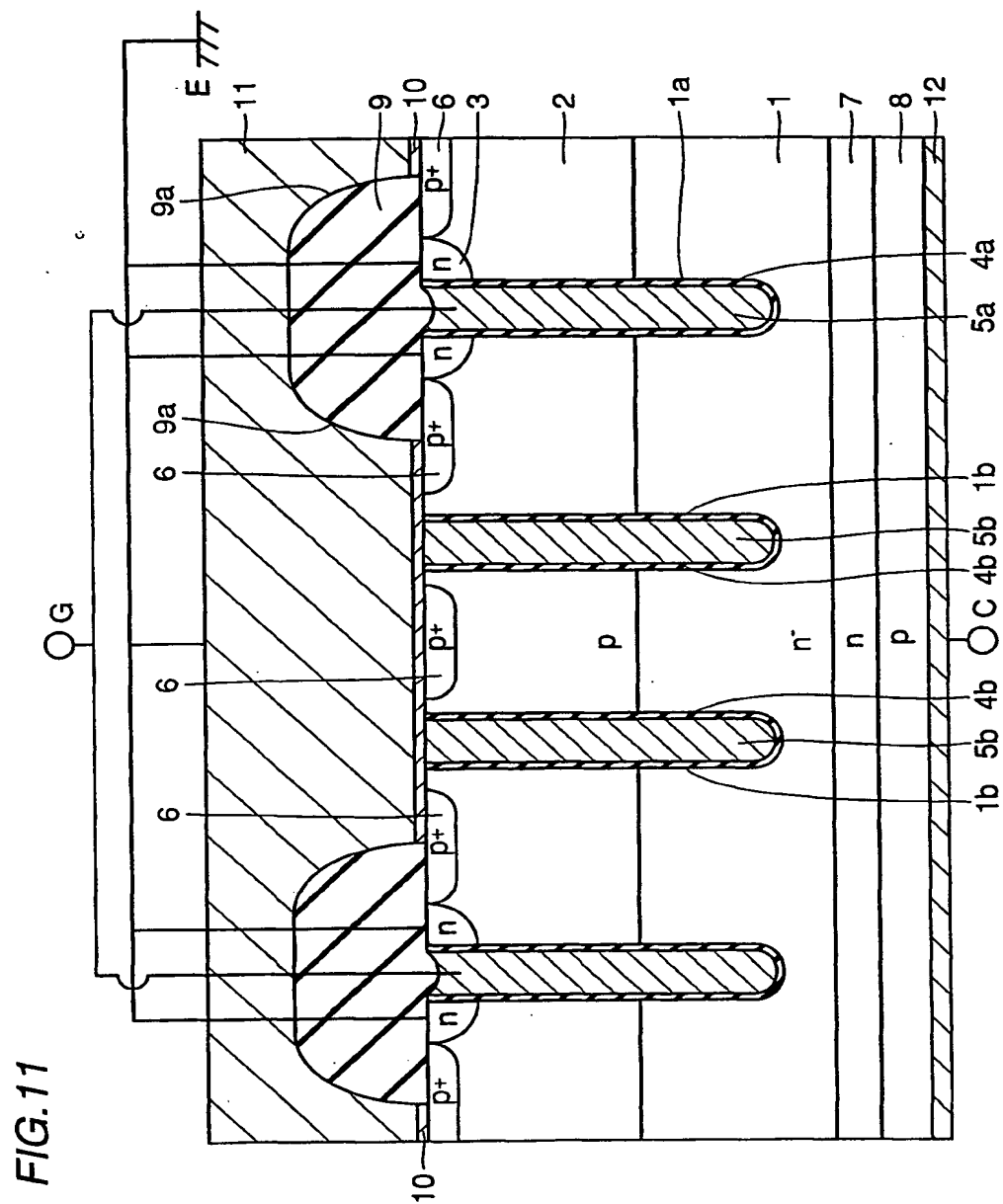
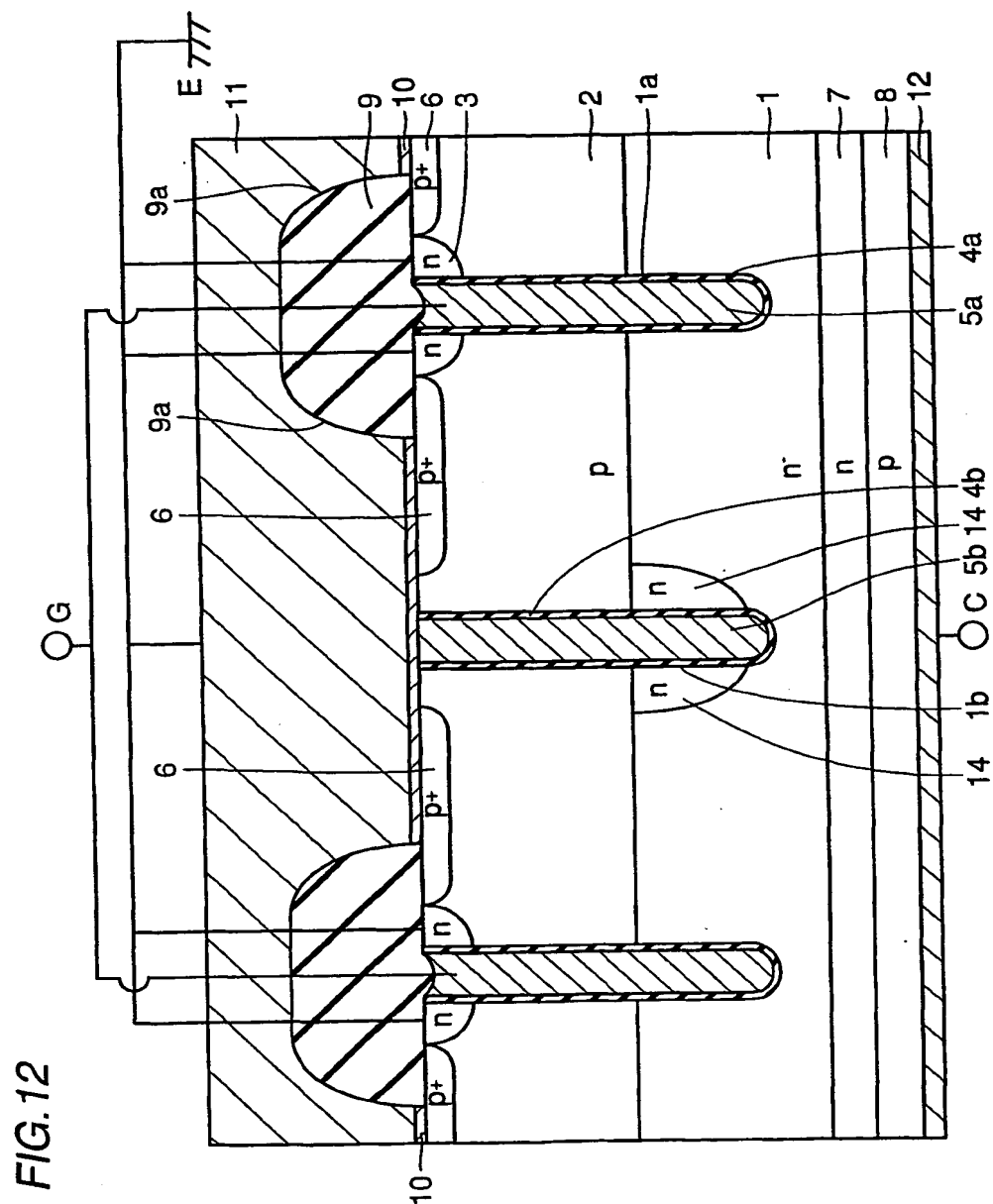


FIG.10







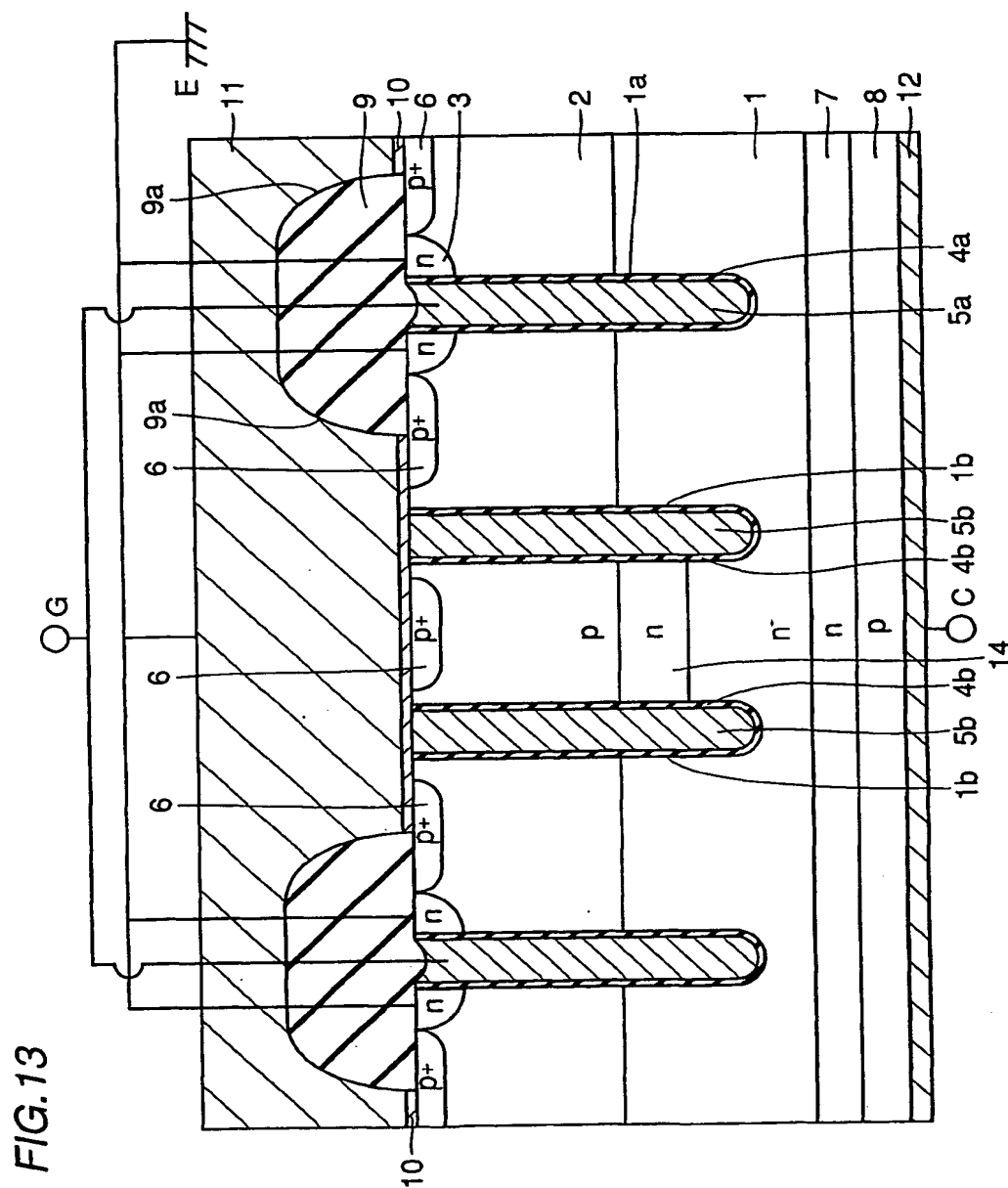
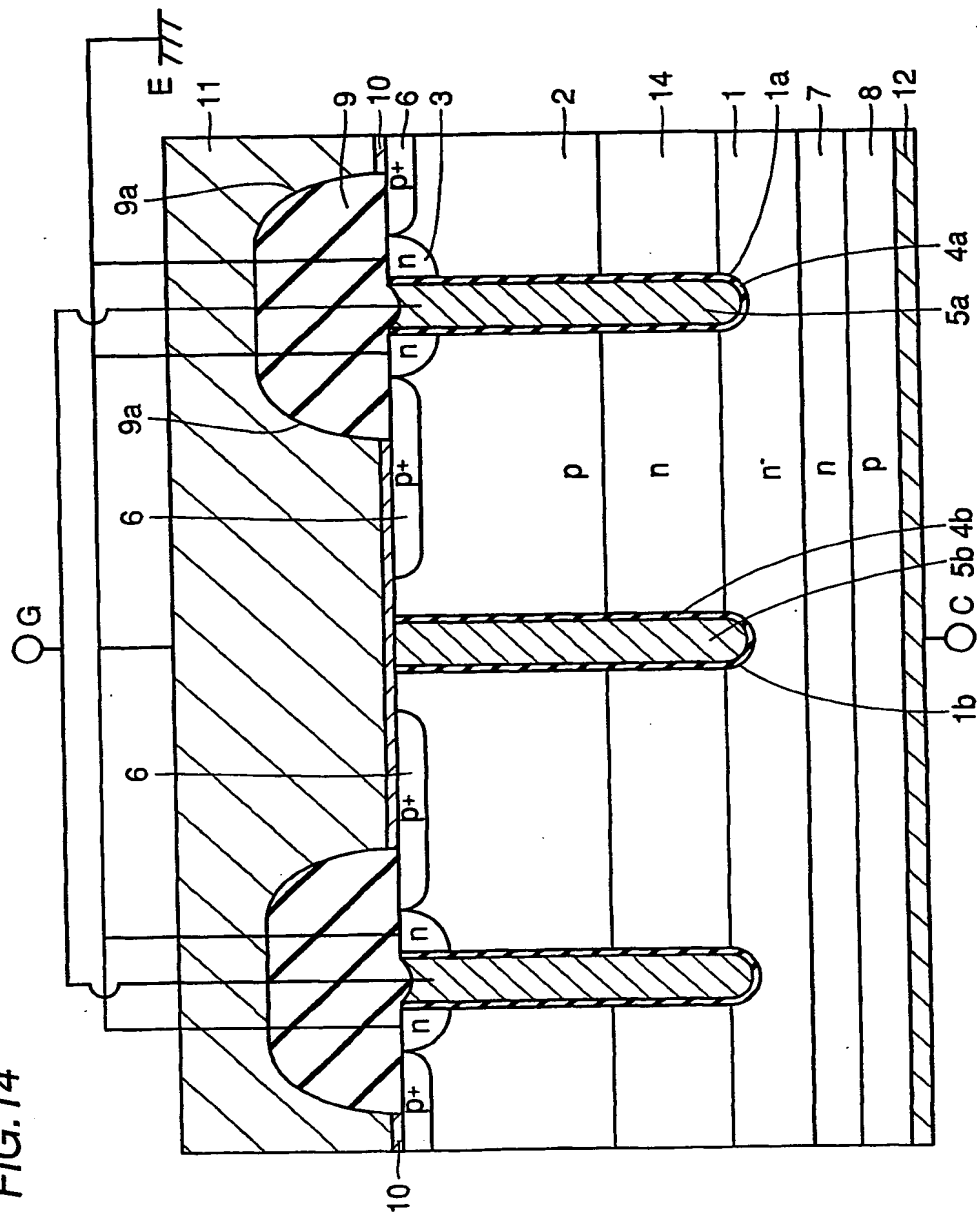


FIG.14



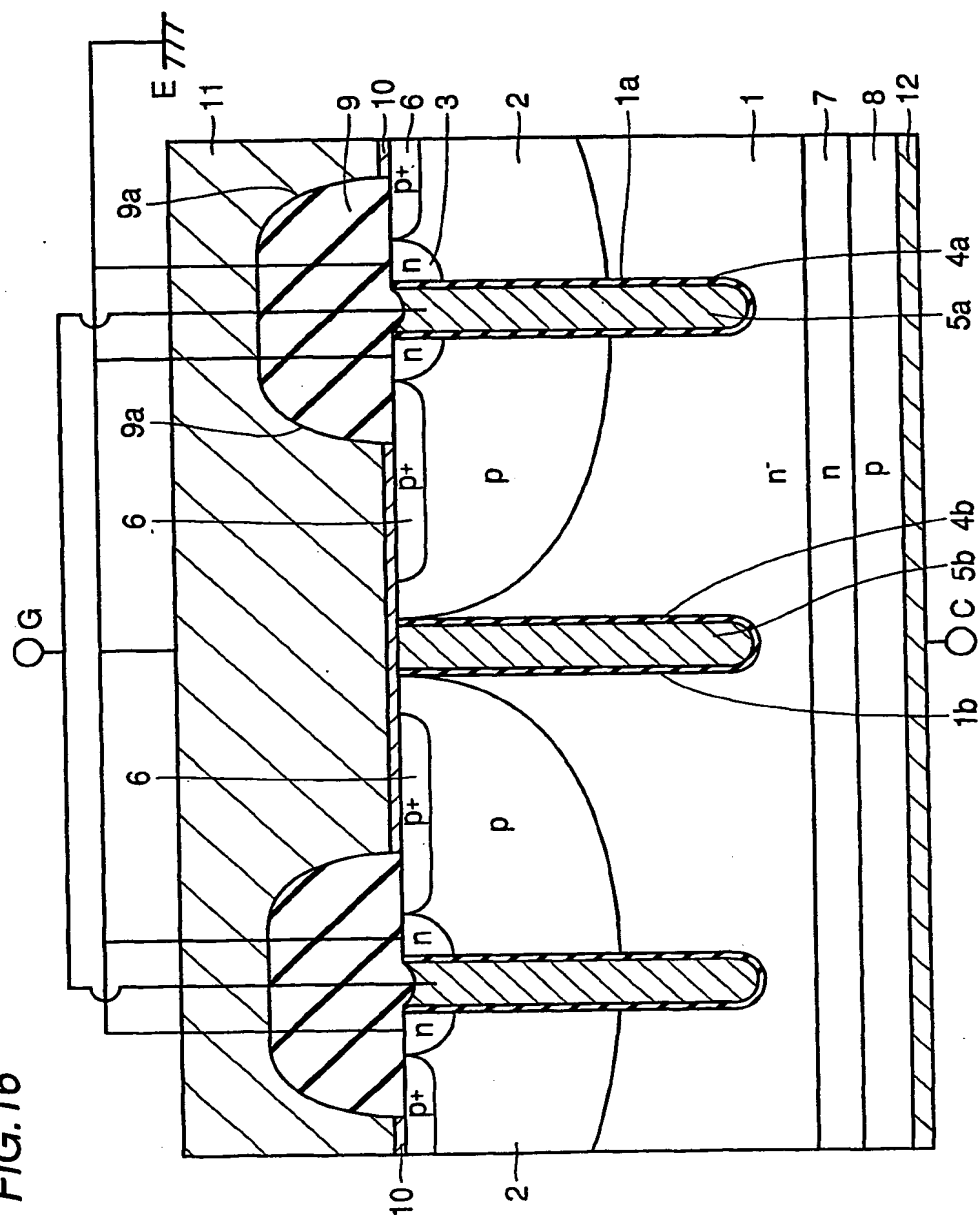


FIG. 16

FIG.18

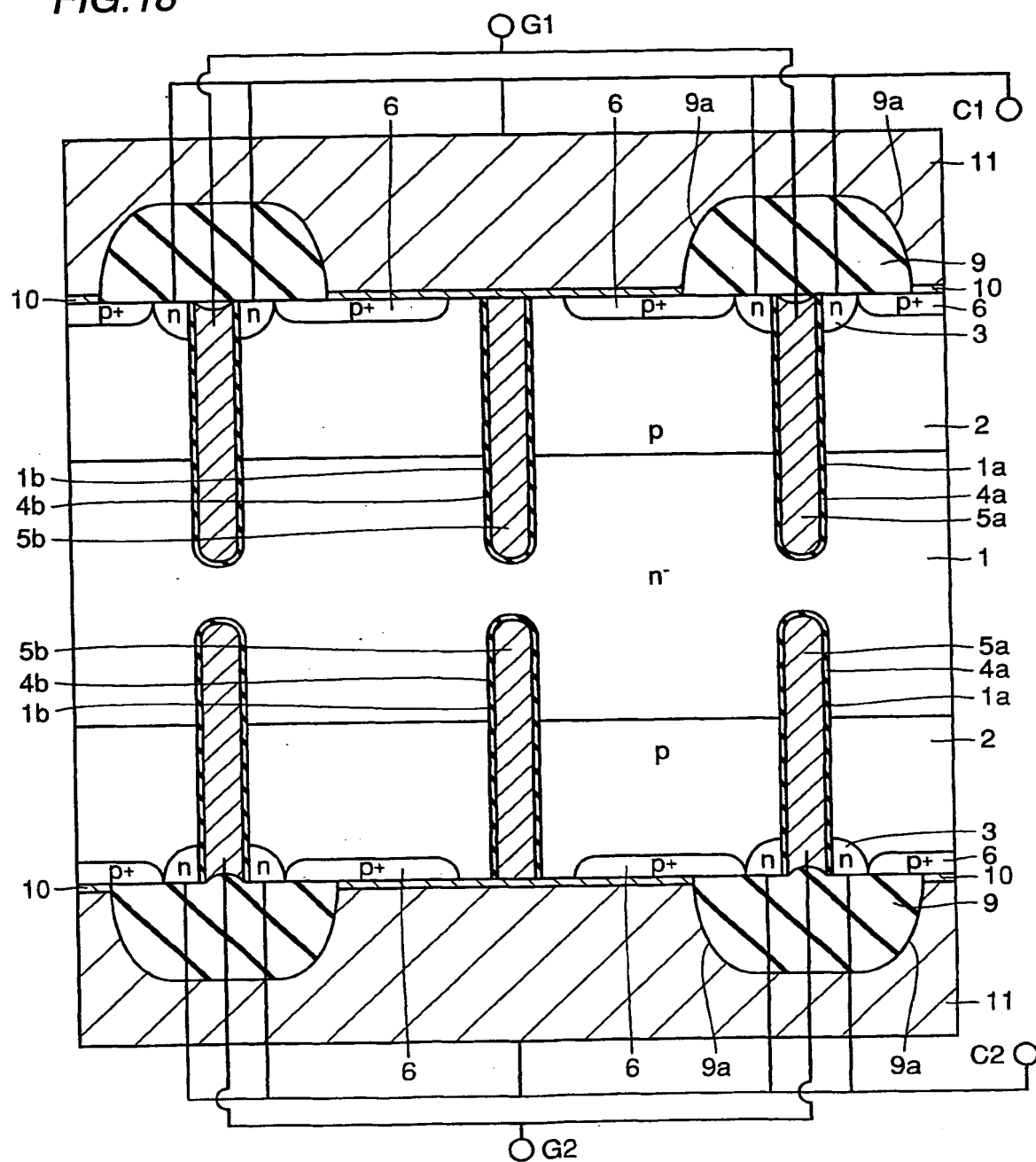


FIG. 19

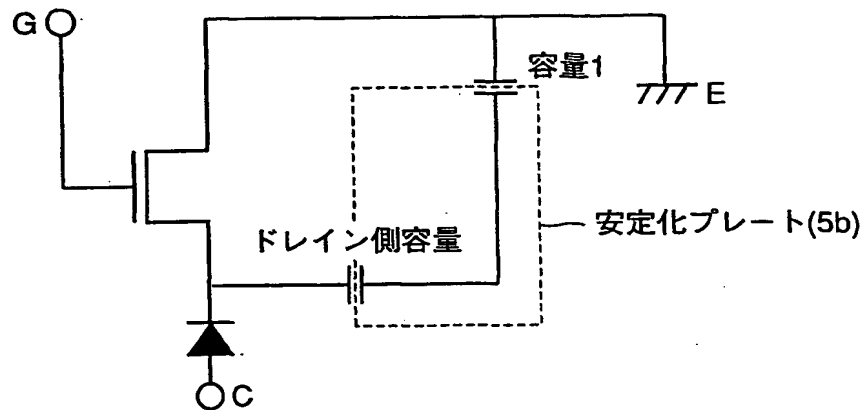


FIG.20

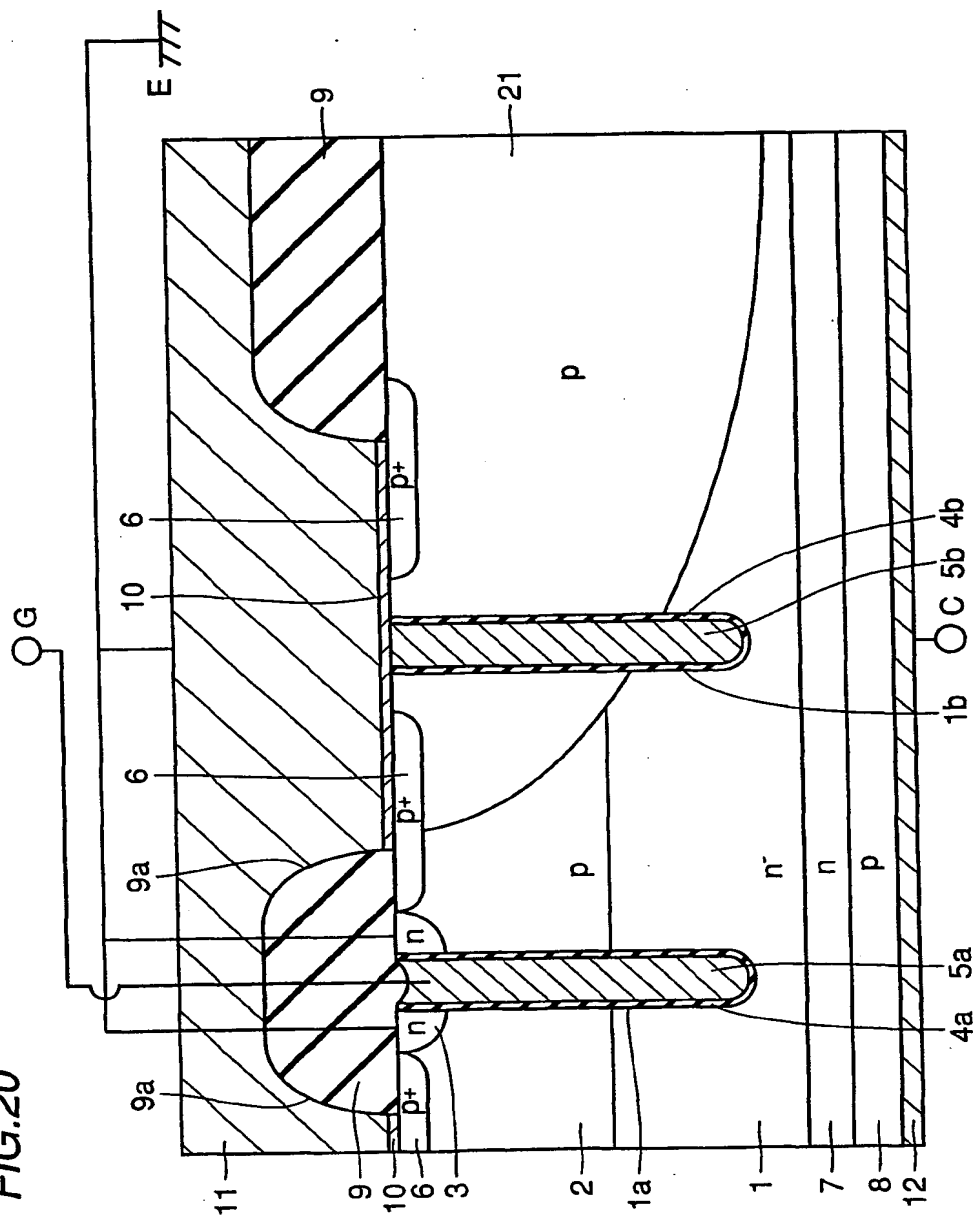


FIG.21

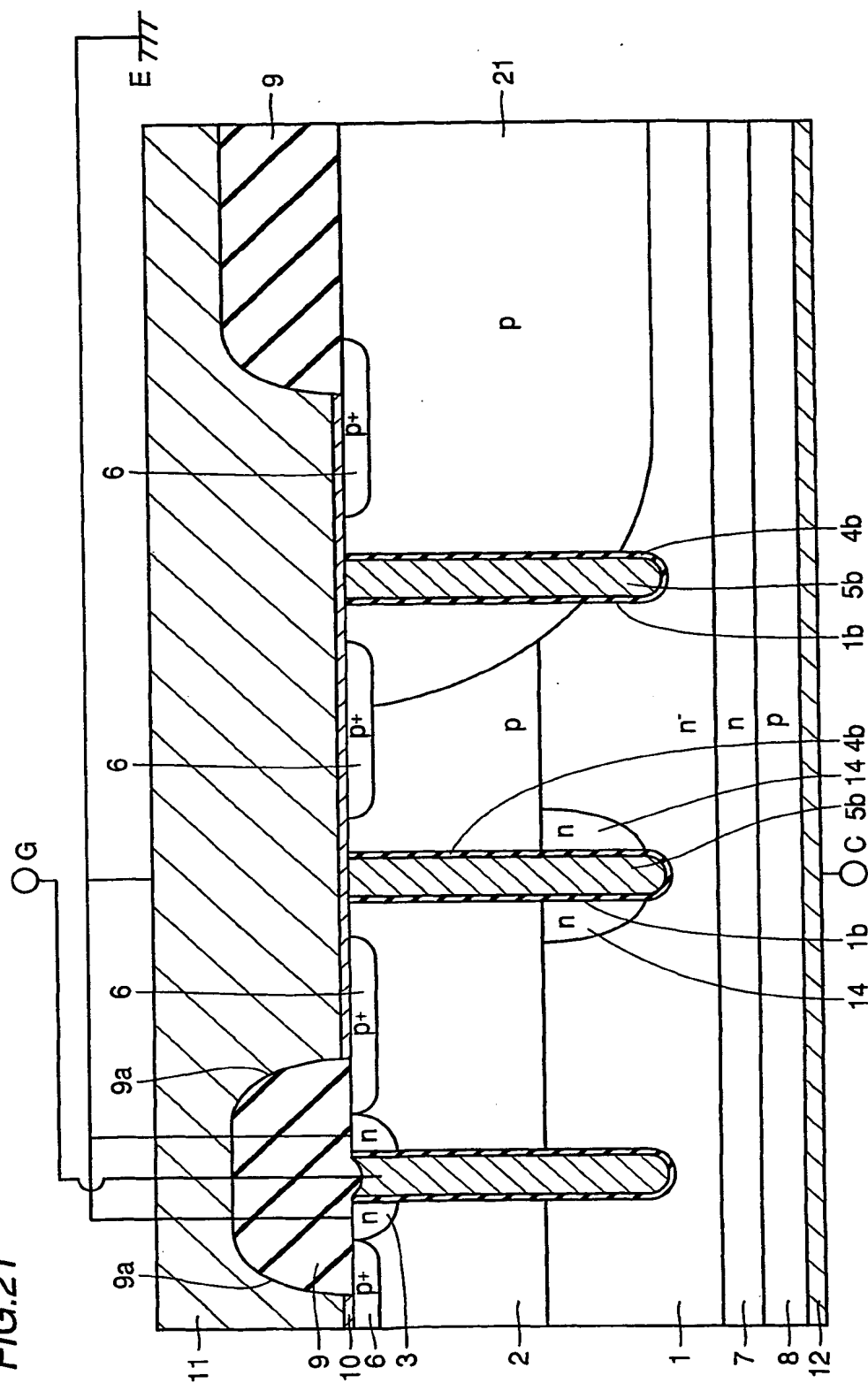
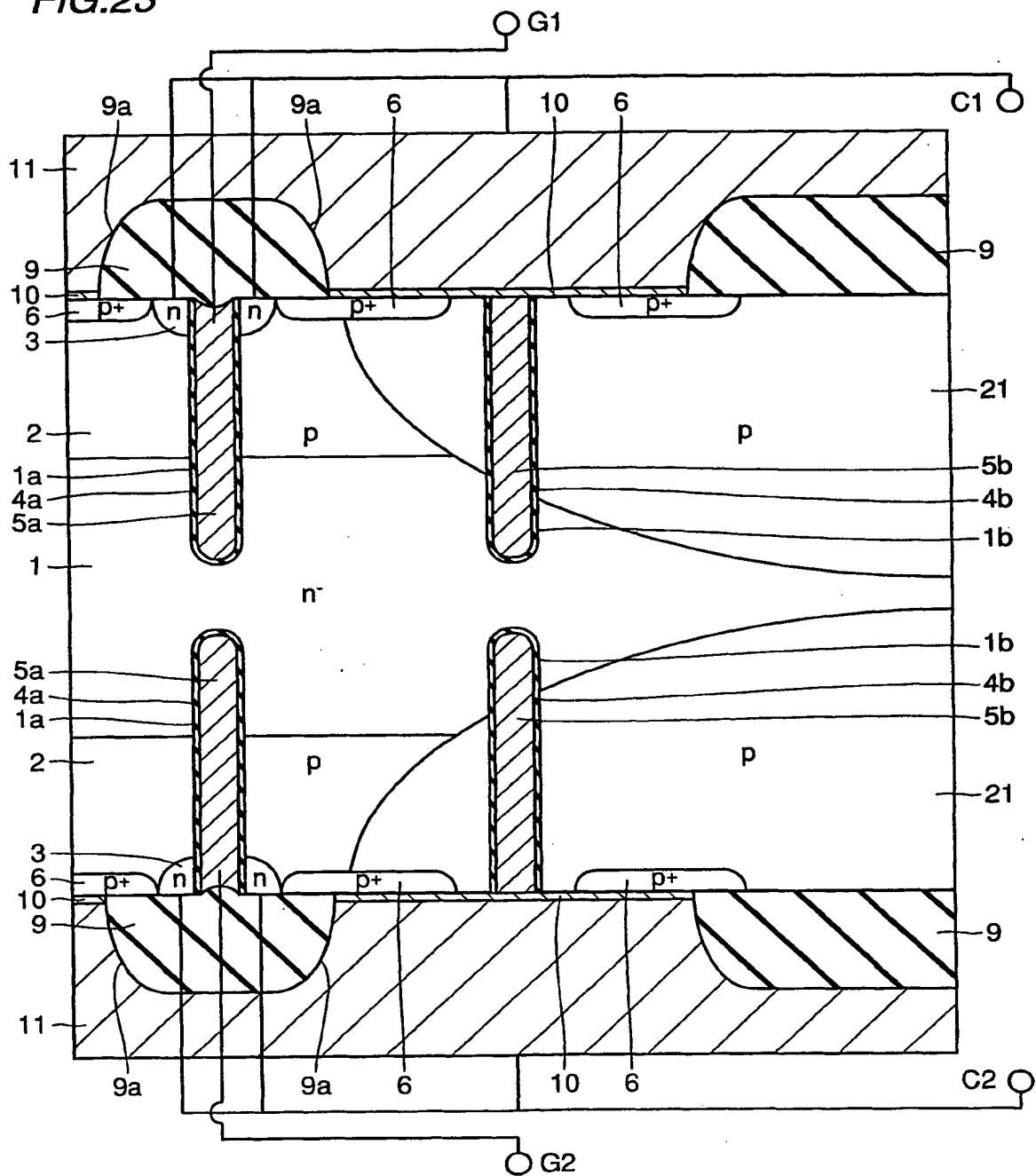


FIG.23



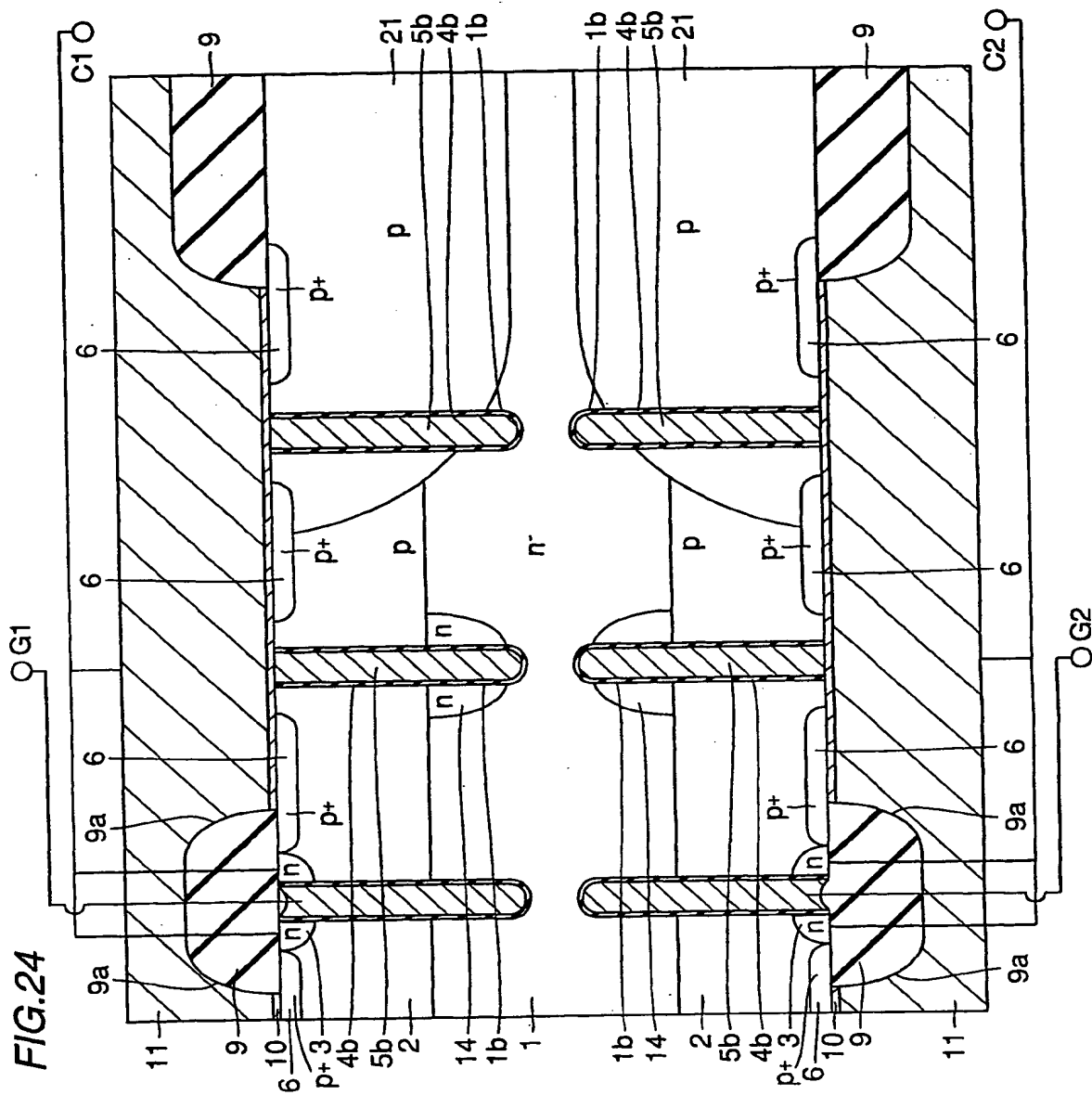


FIG.25

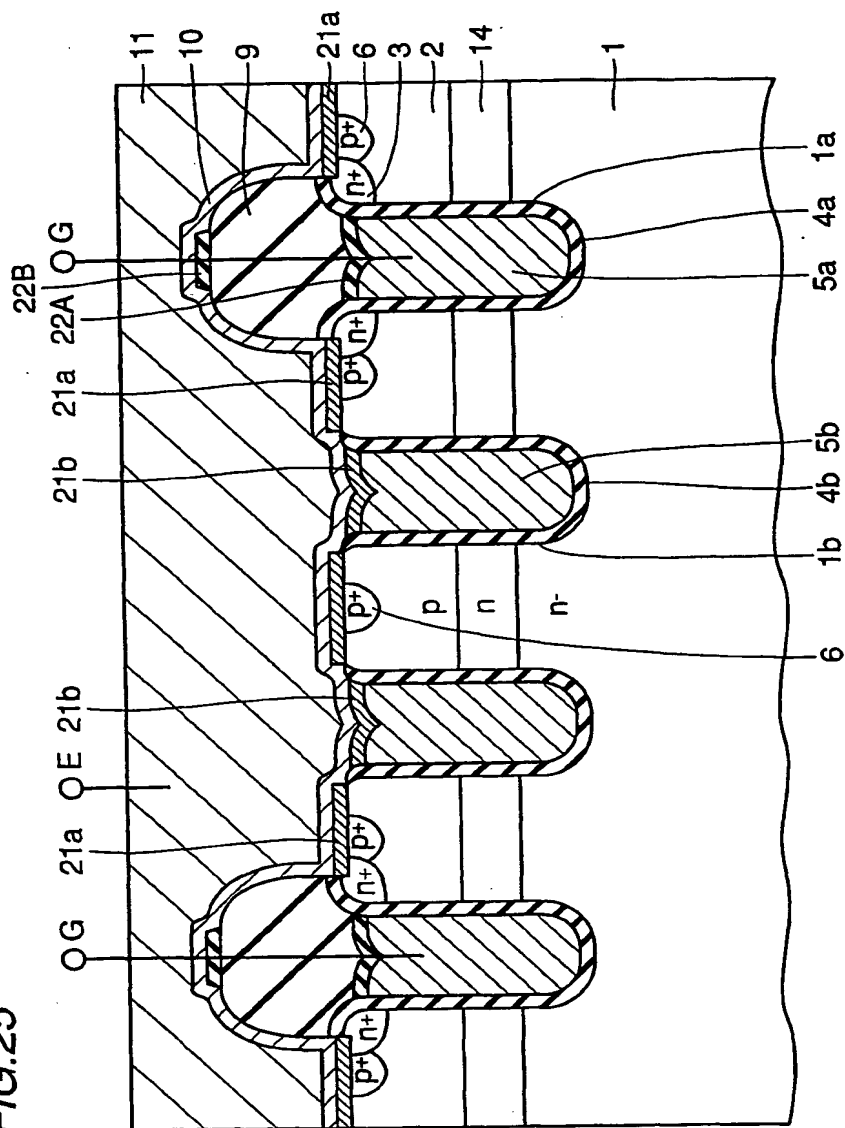


FIG.27

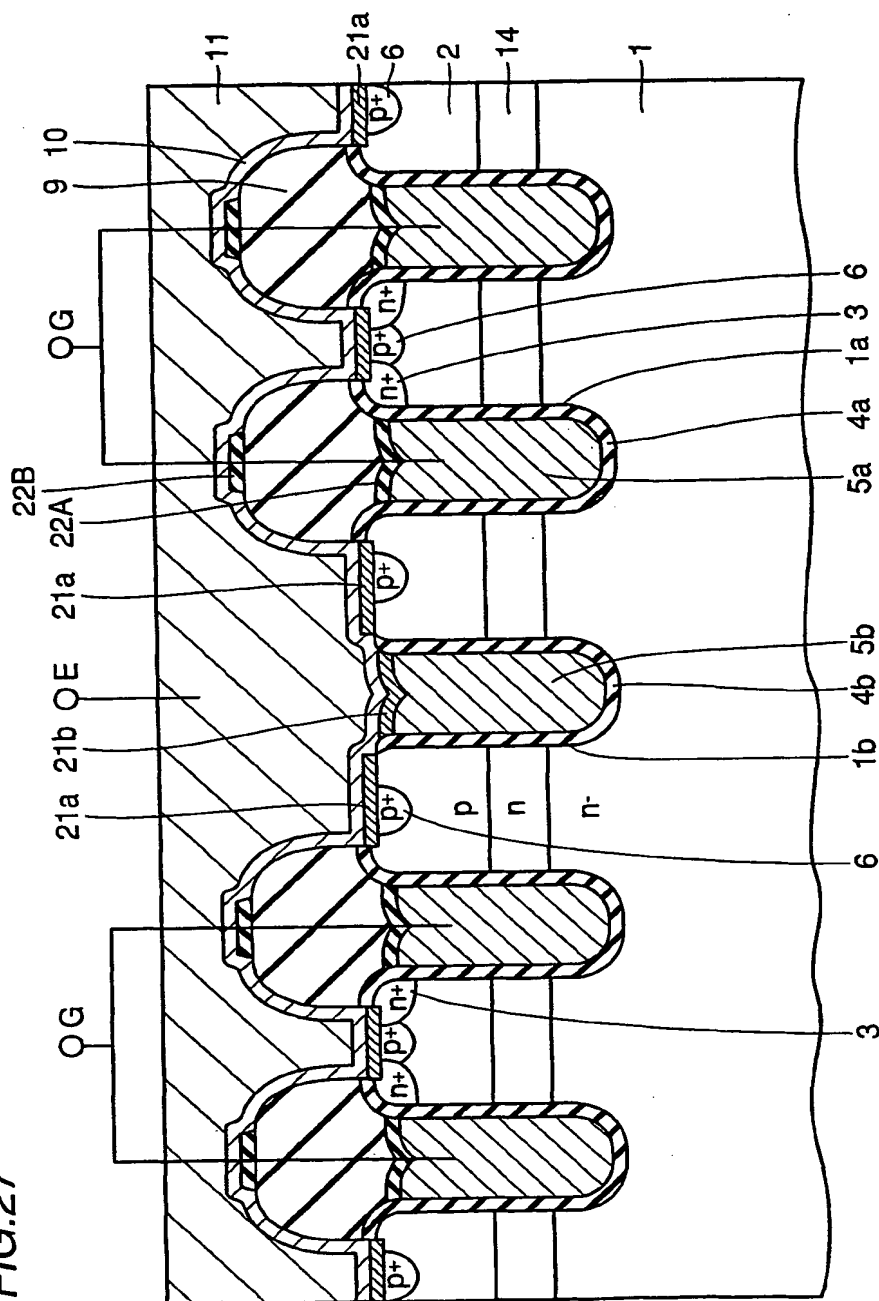


FIG.28

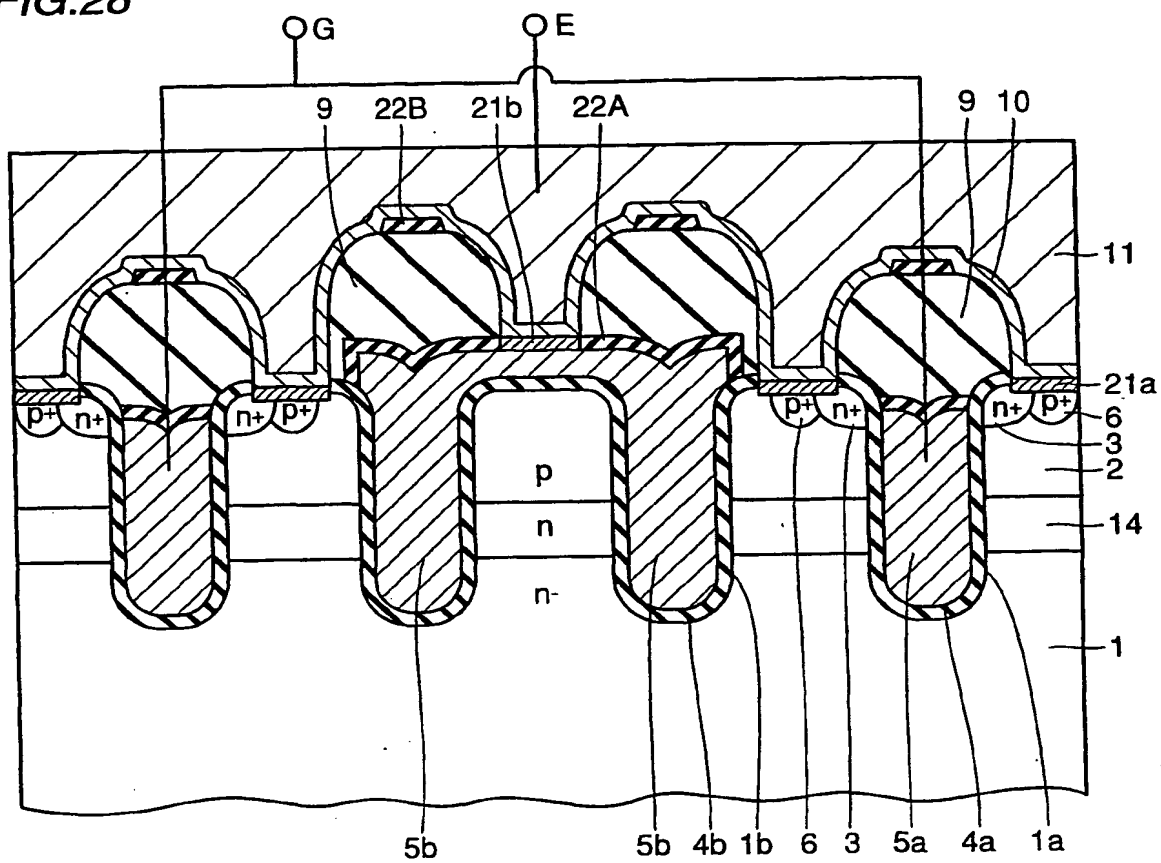
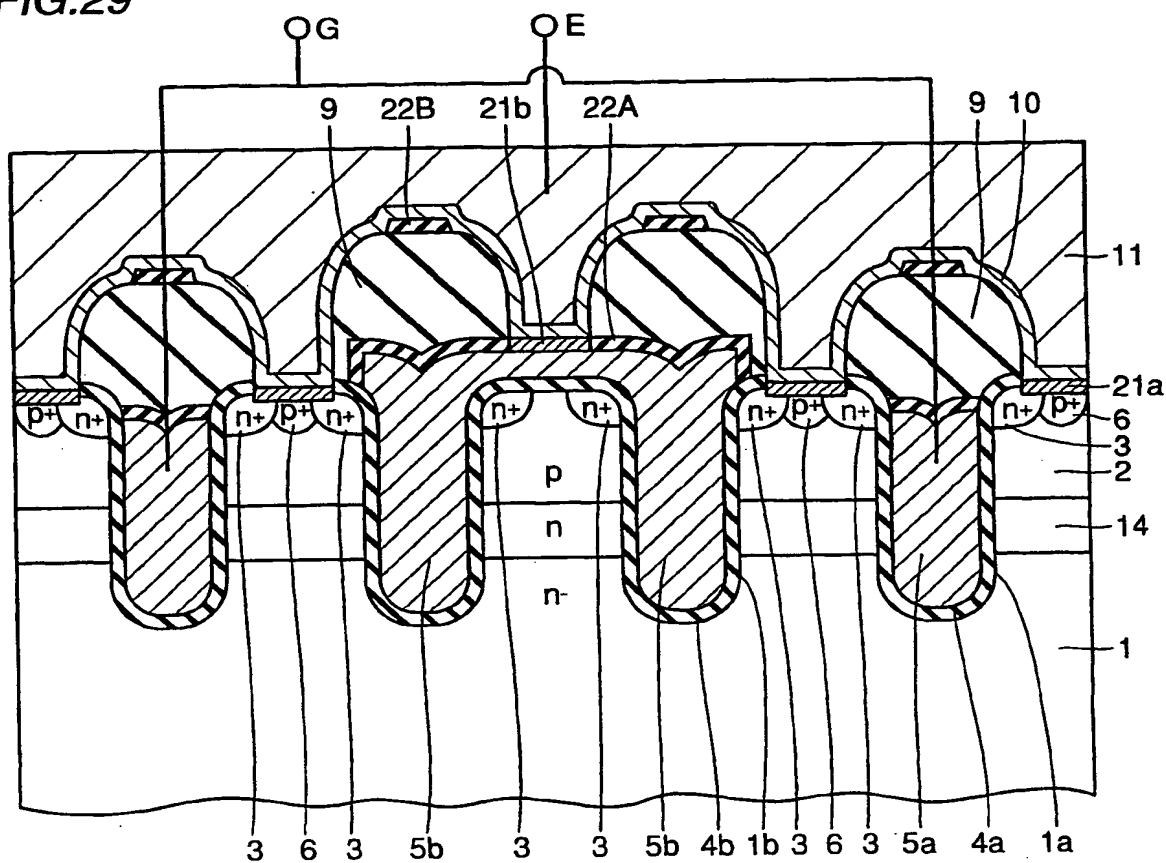
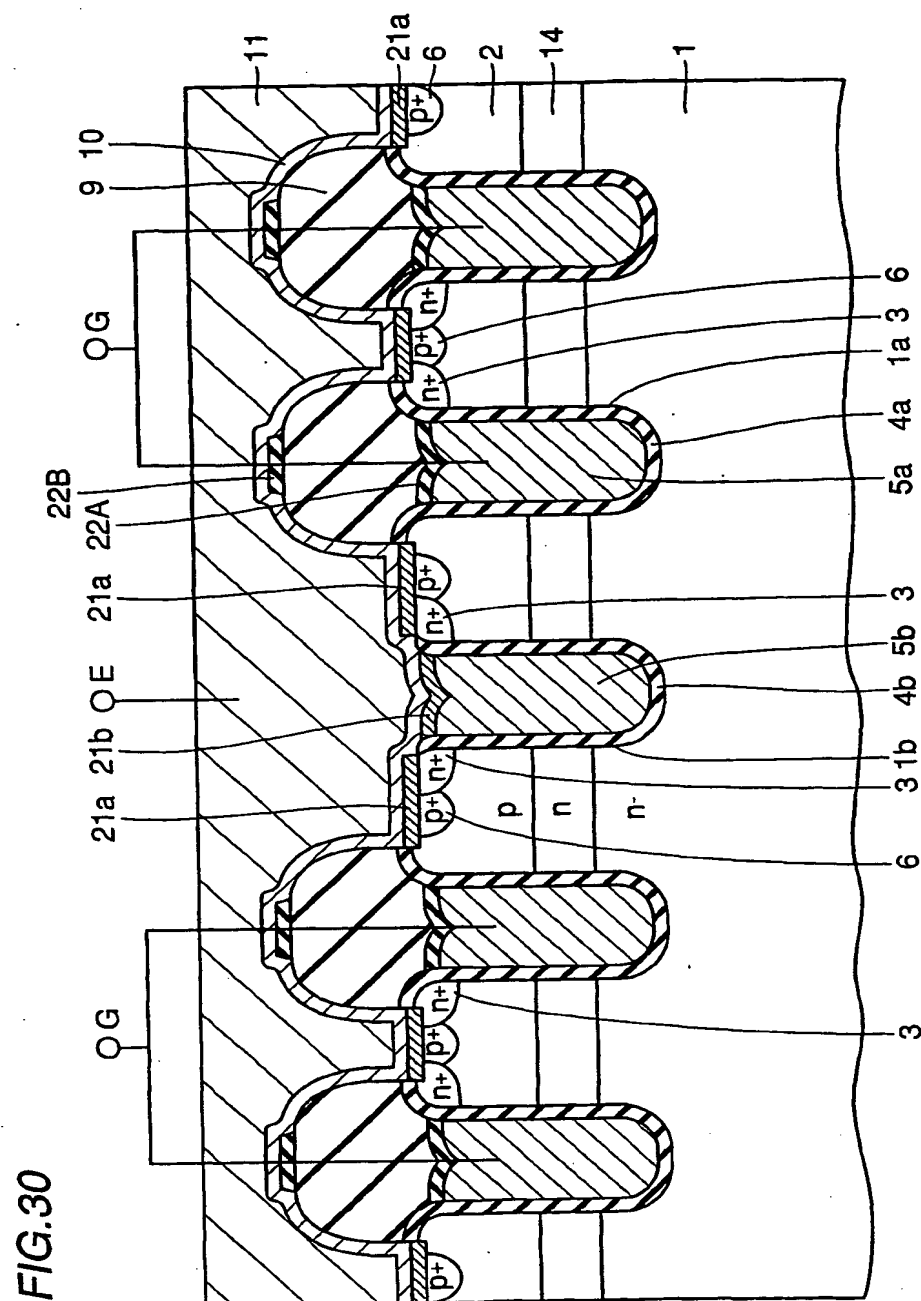
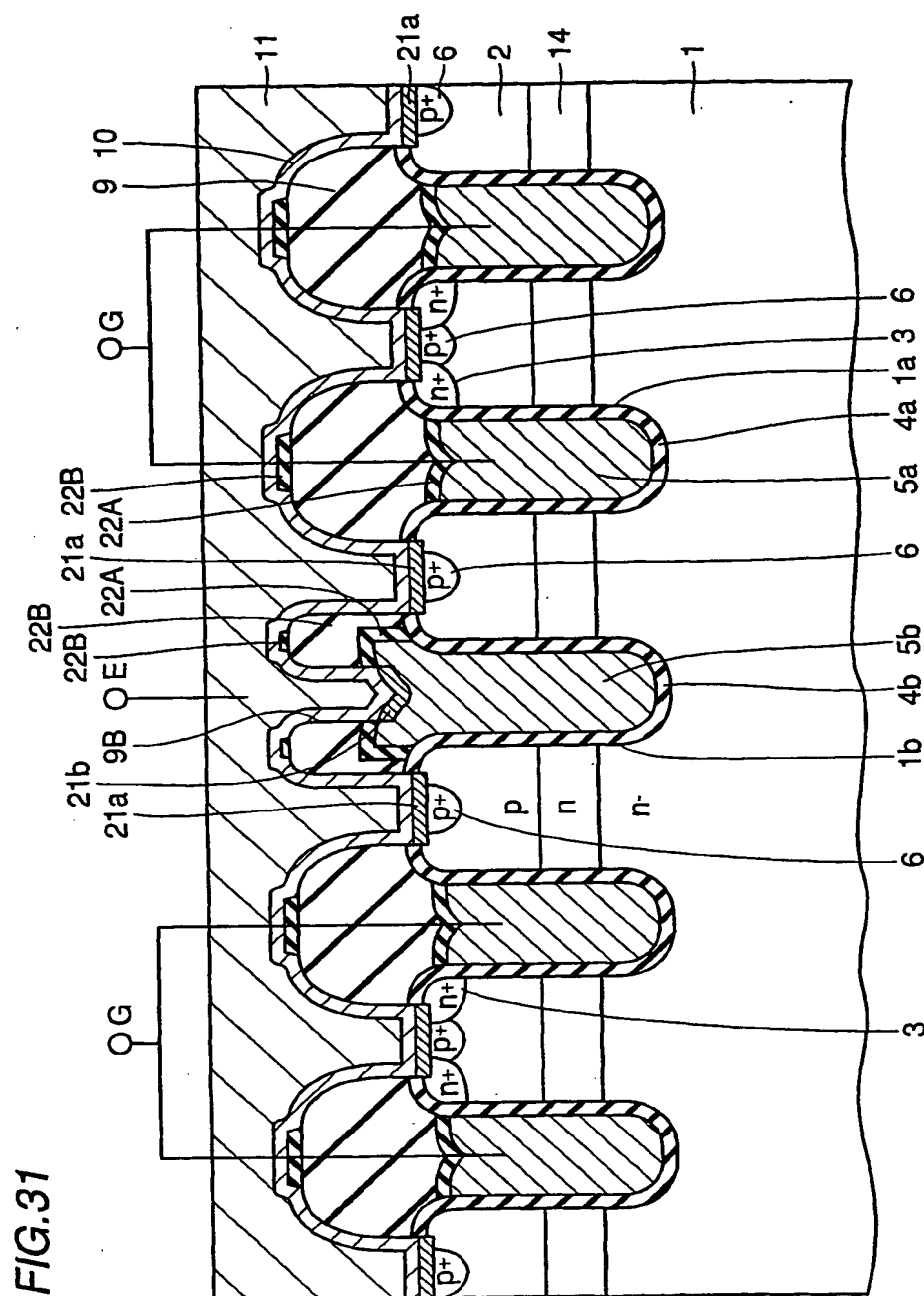


FIG.29







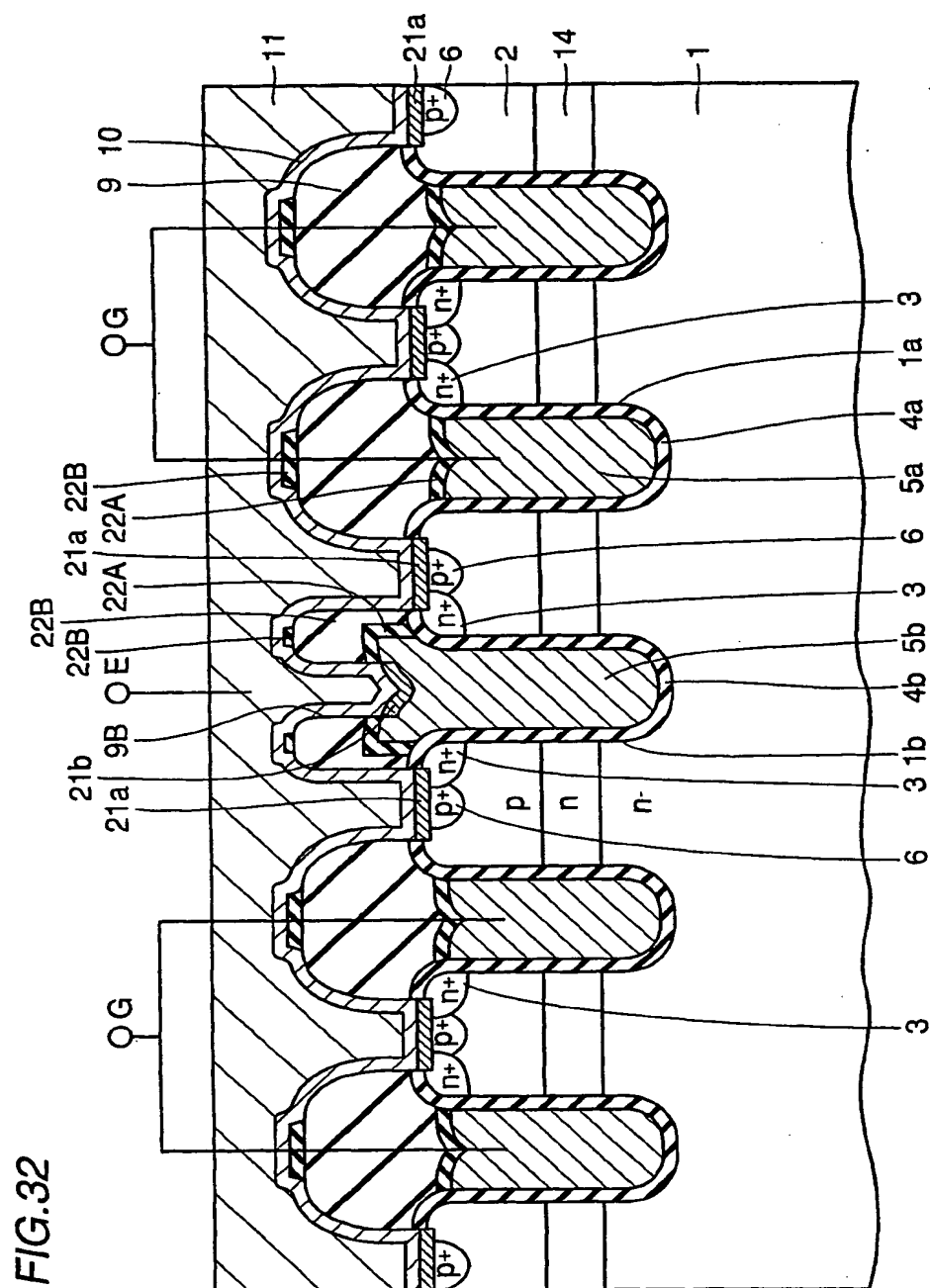


FIG.33

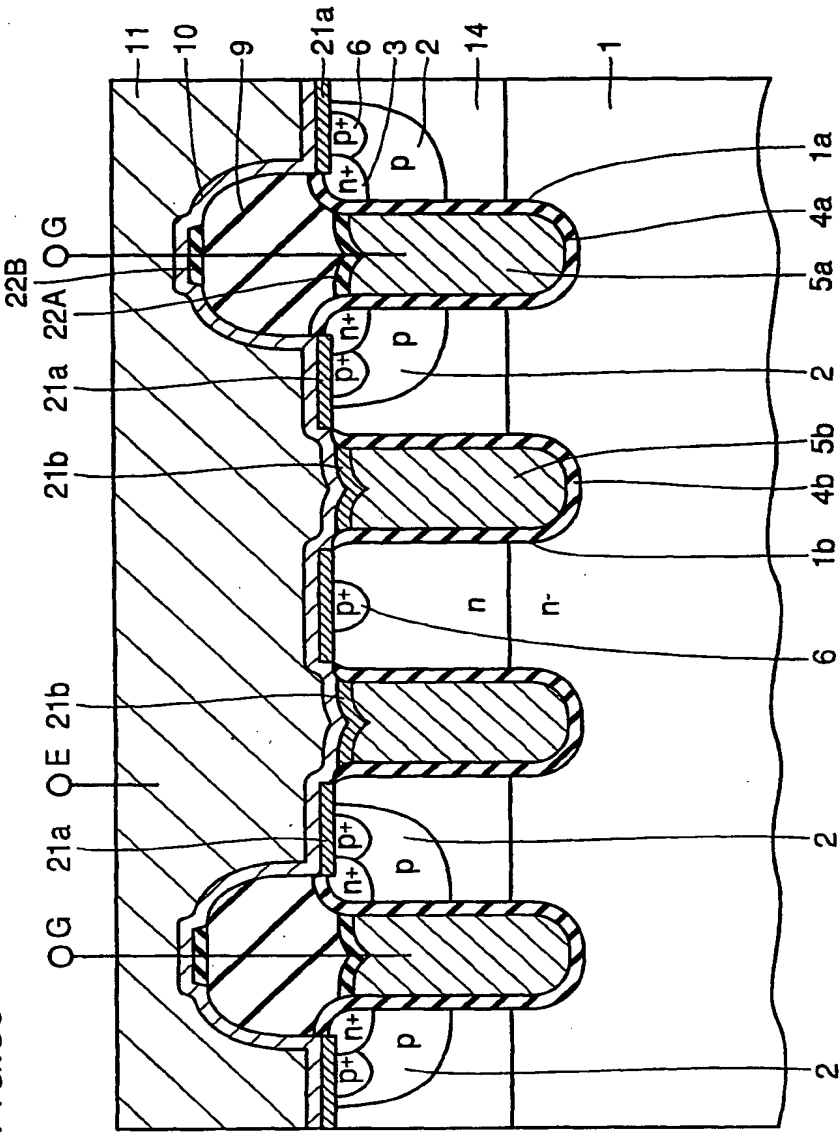


FIG.35

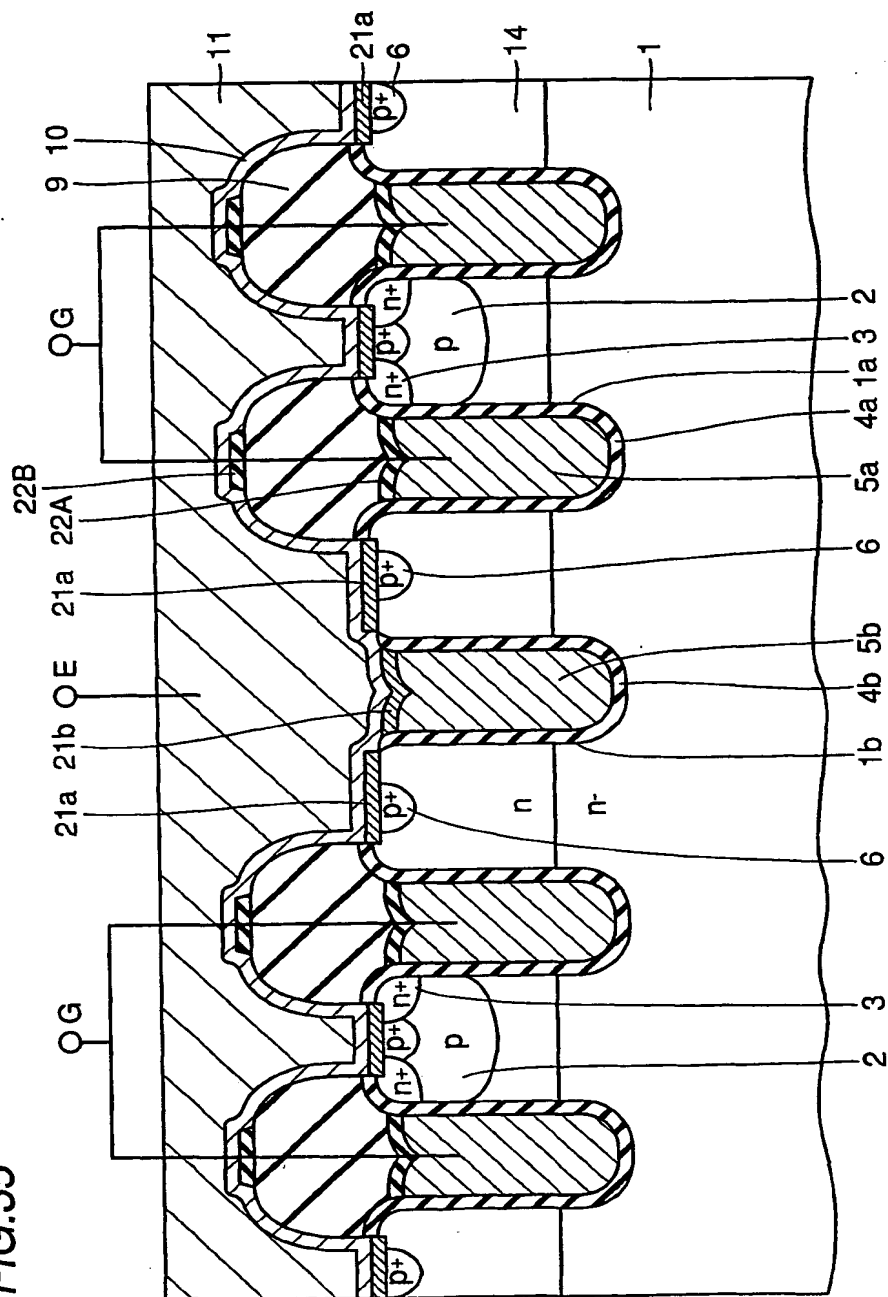


FIG.36

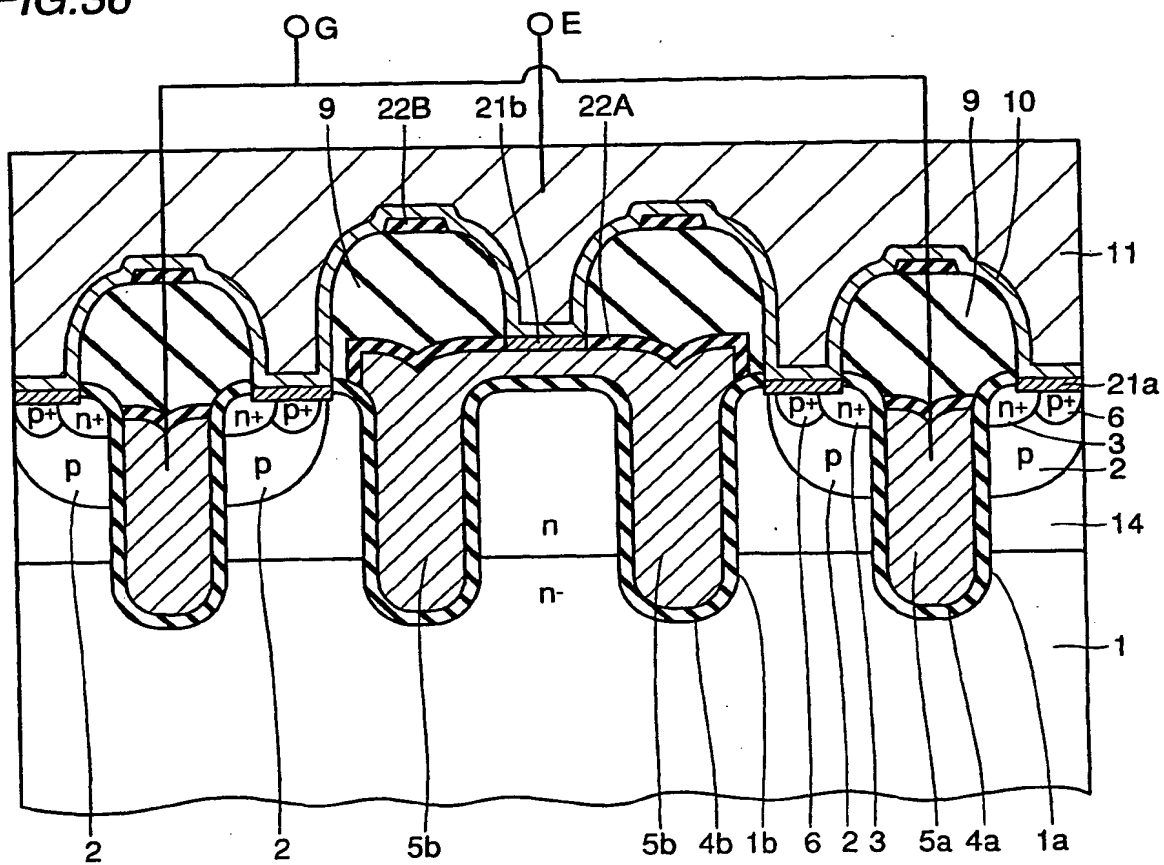


FIG.37

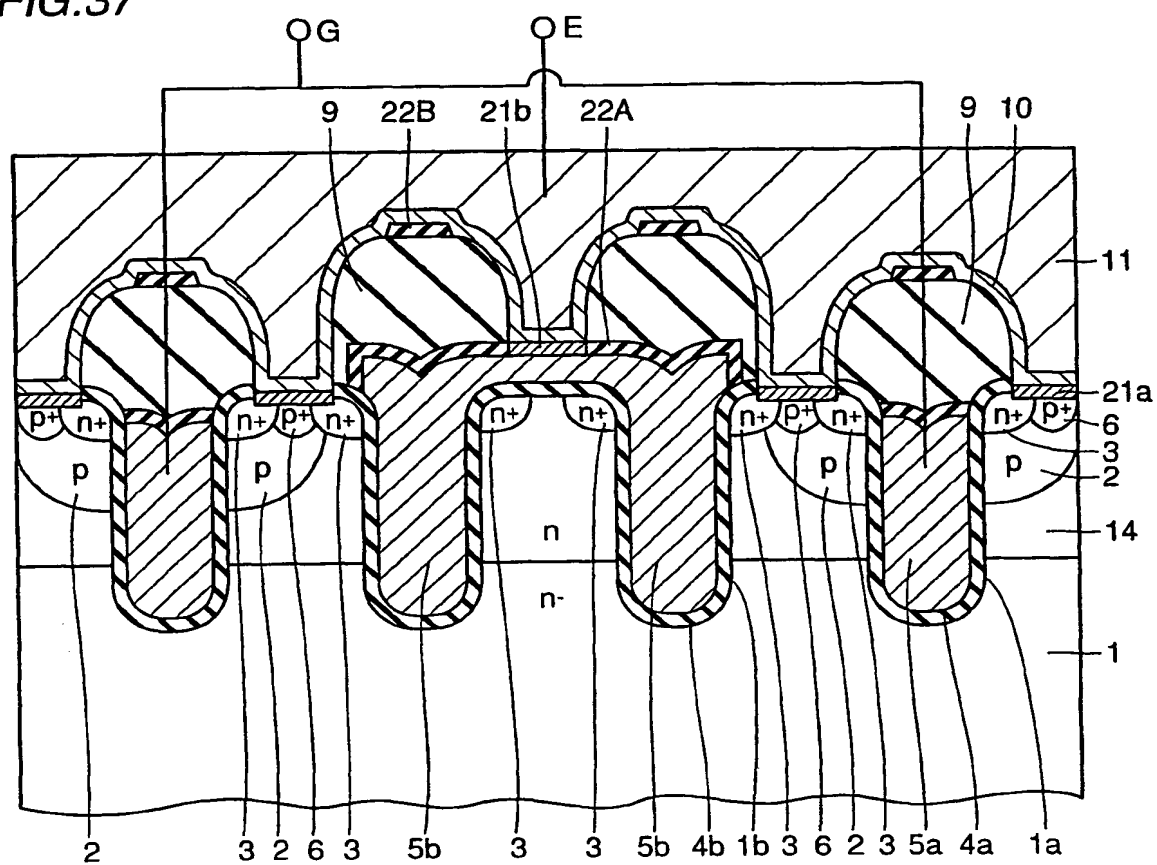


FIG.38

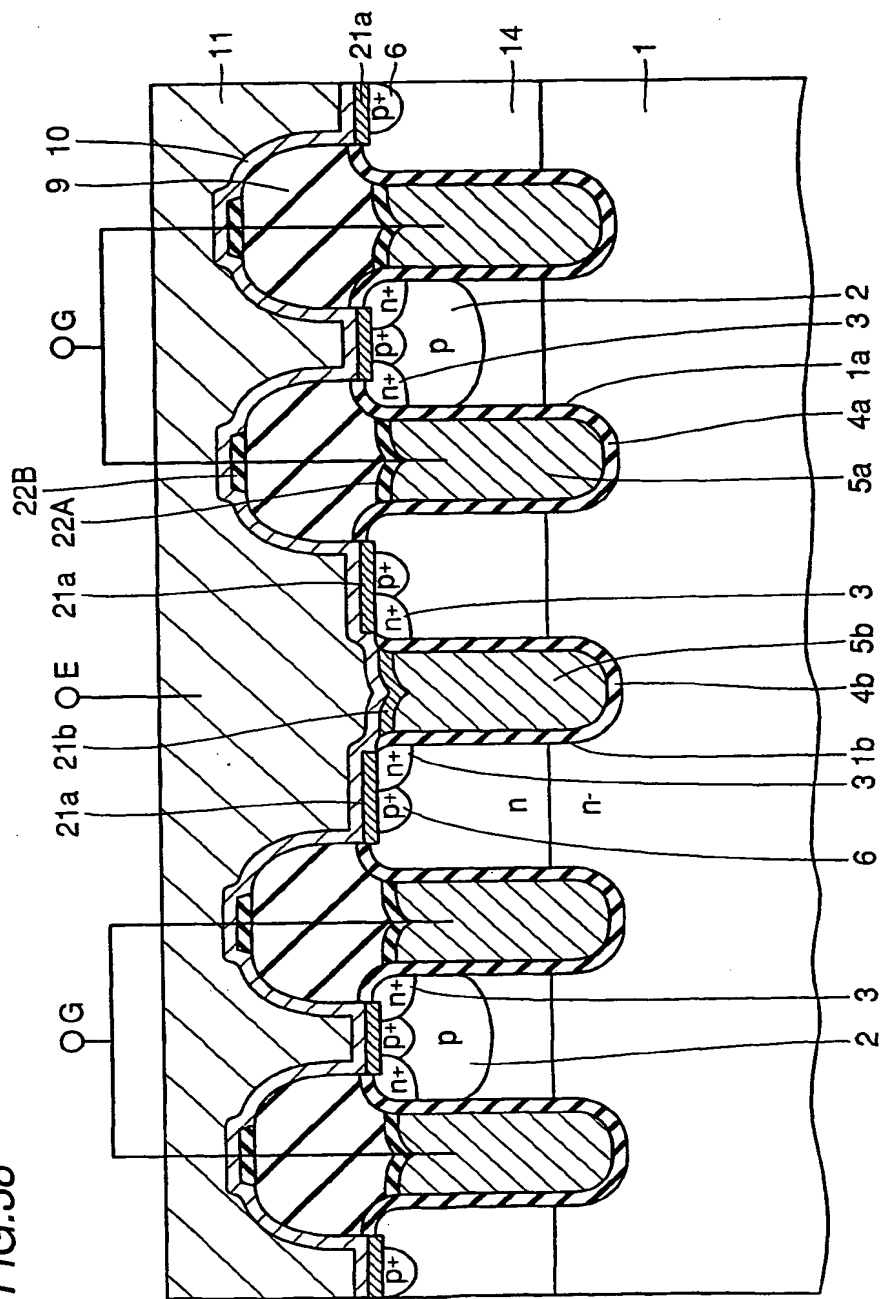


FIG.40

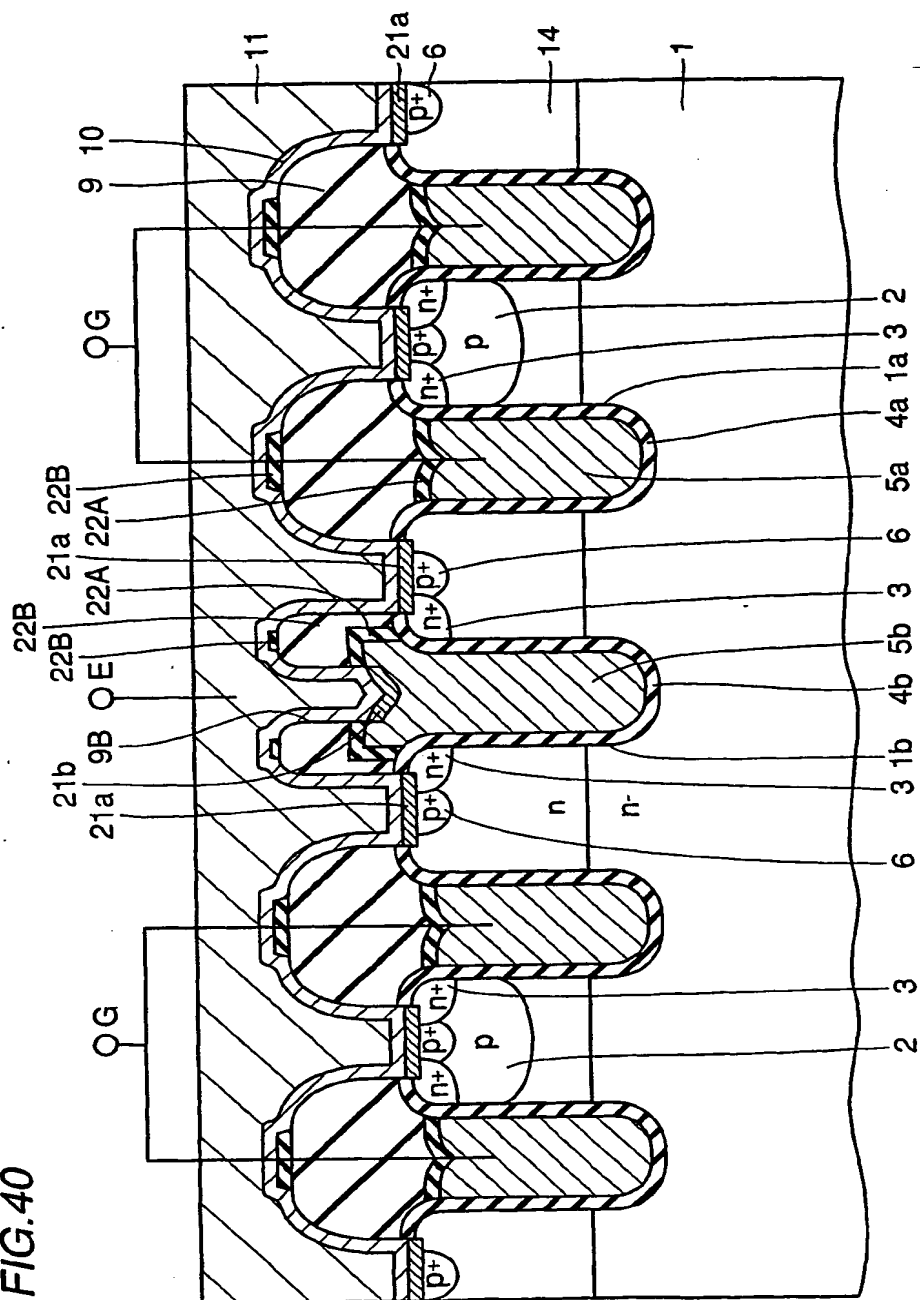


FIG. 41

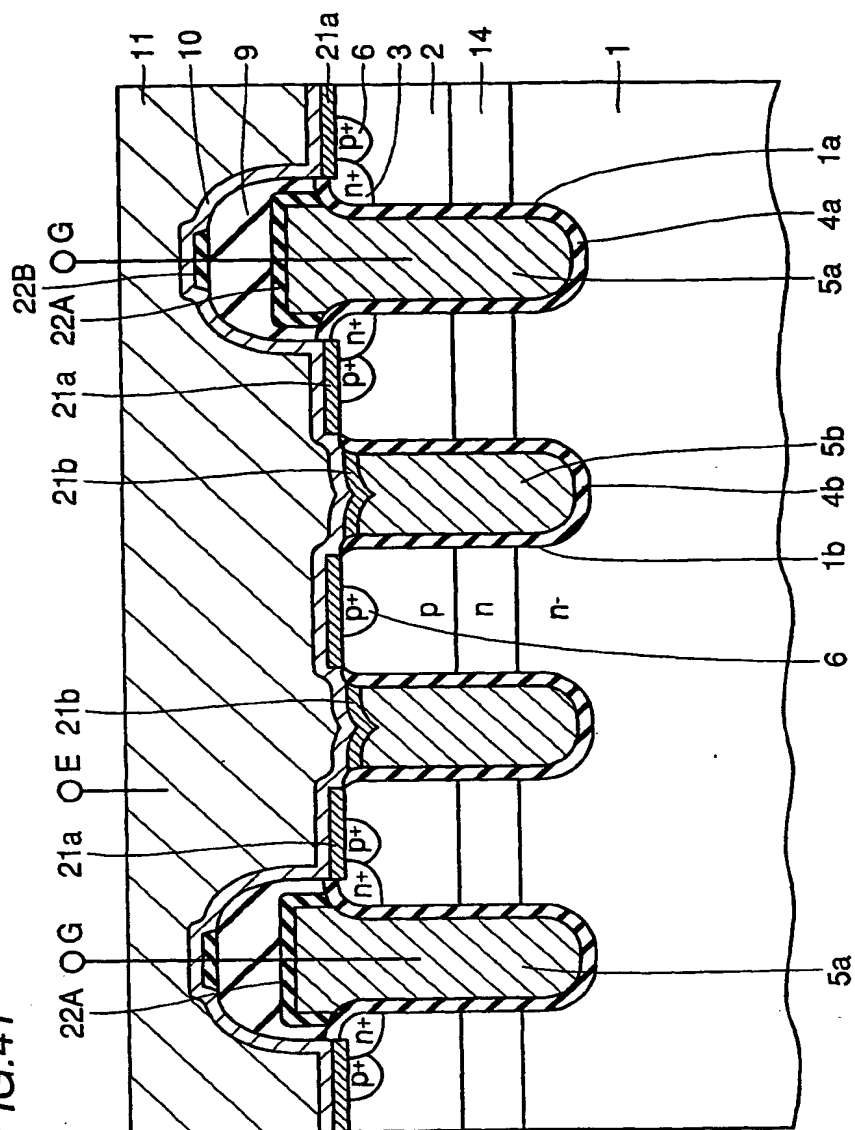


FIG.42

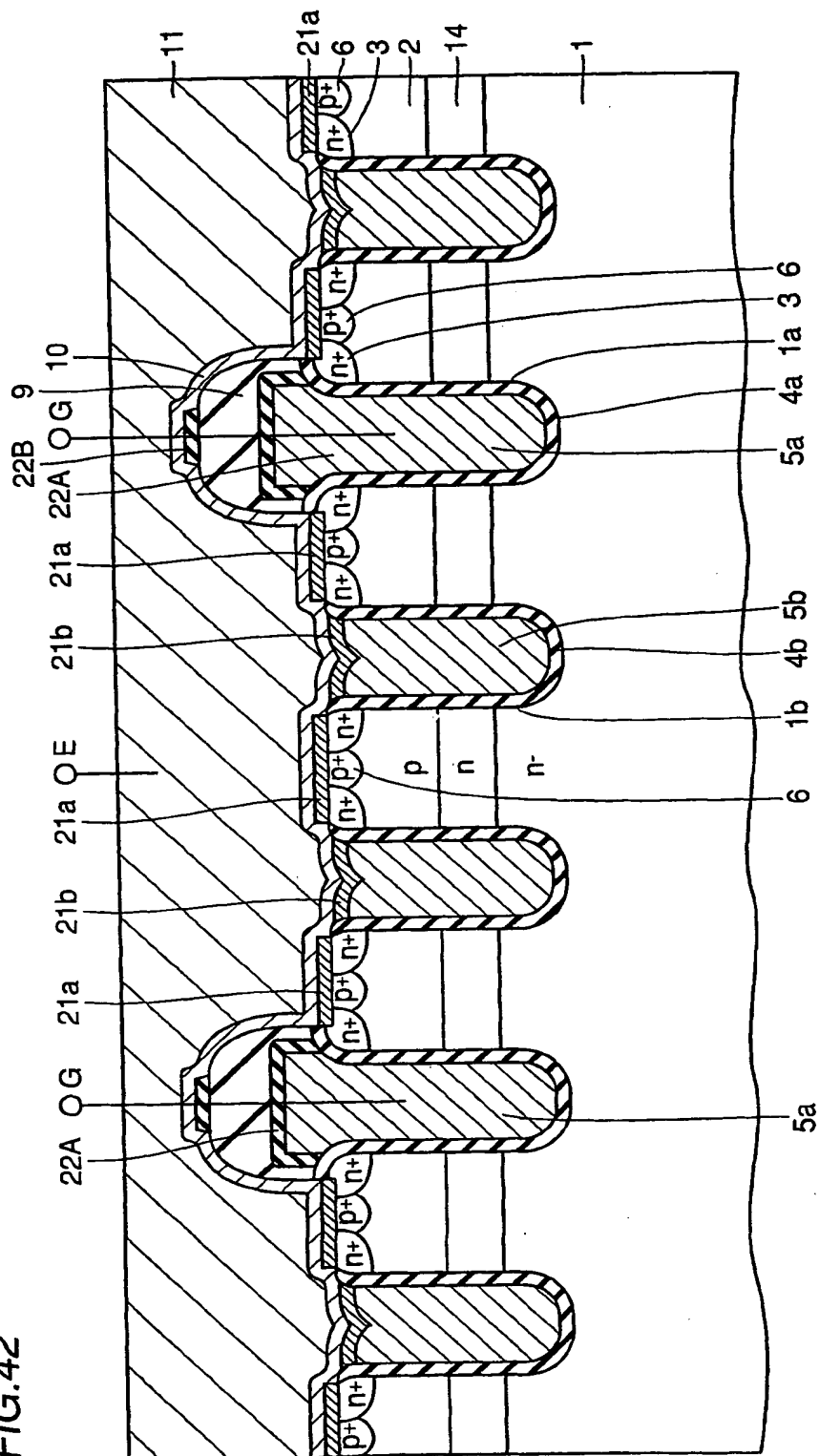


FIG. 43

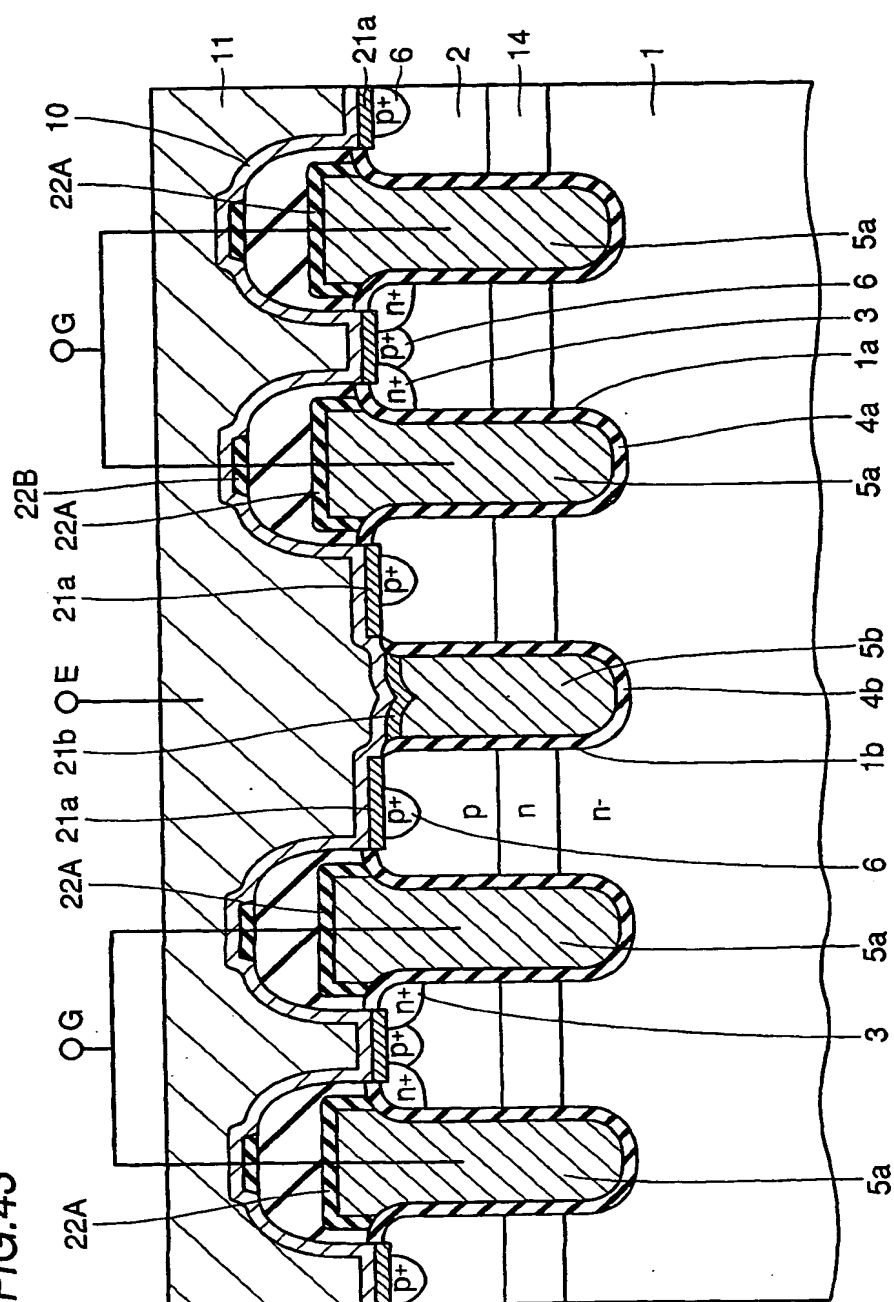
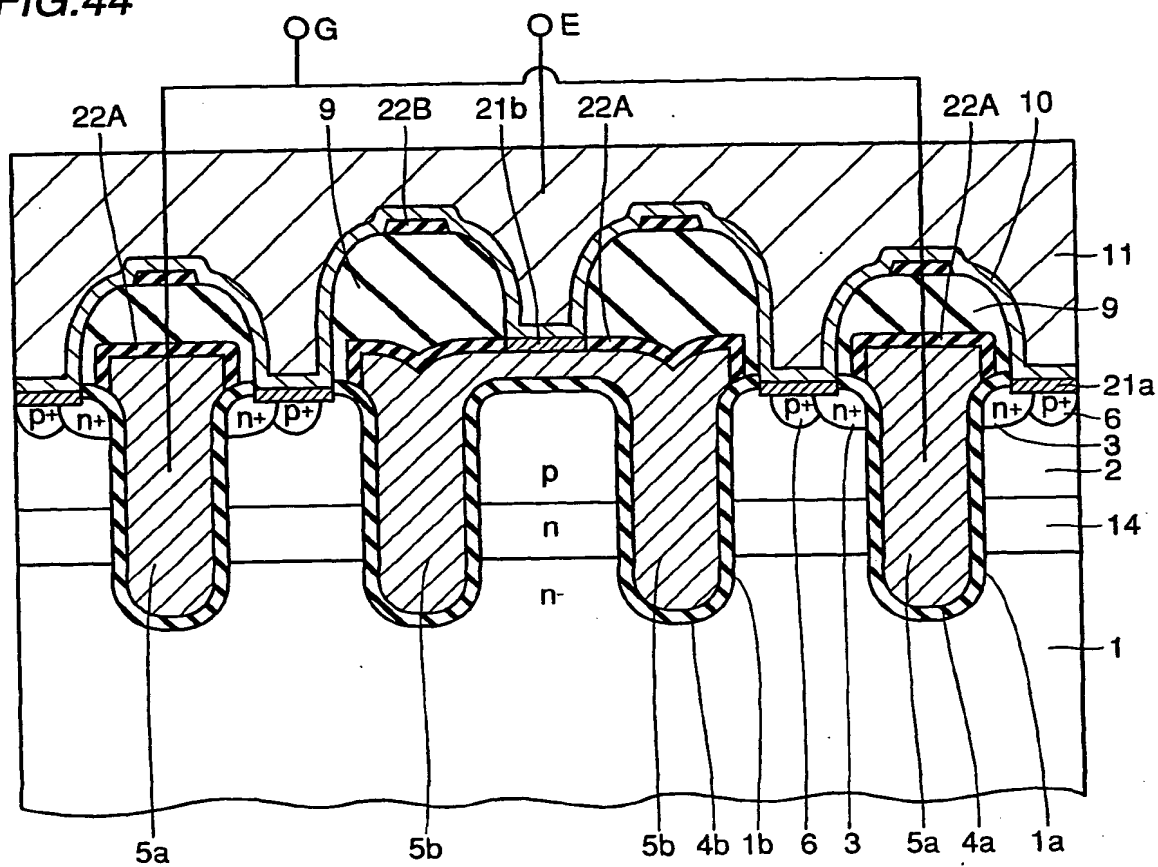
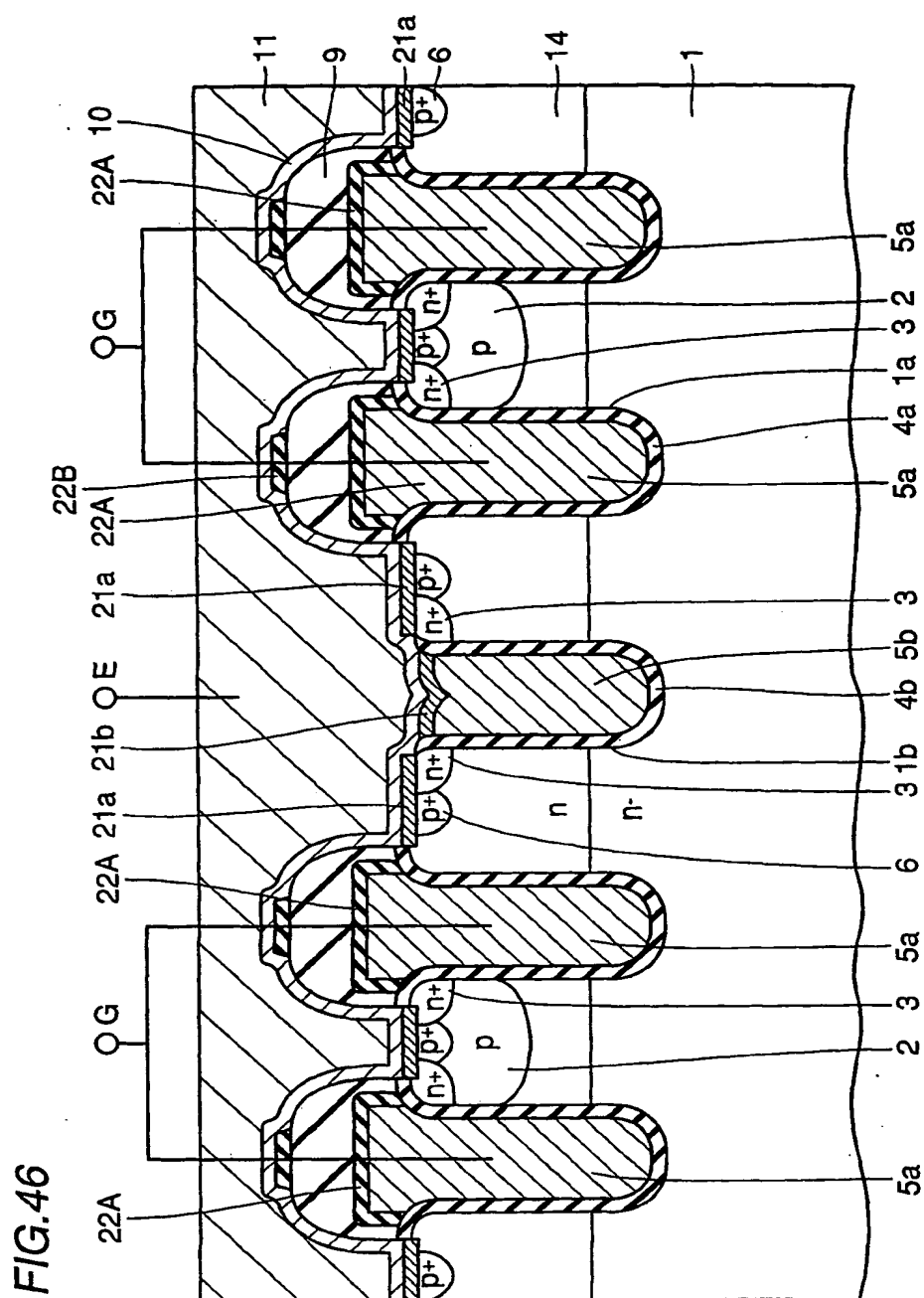


FIG.44





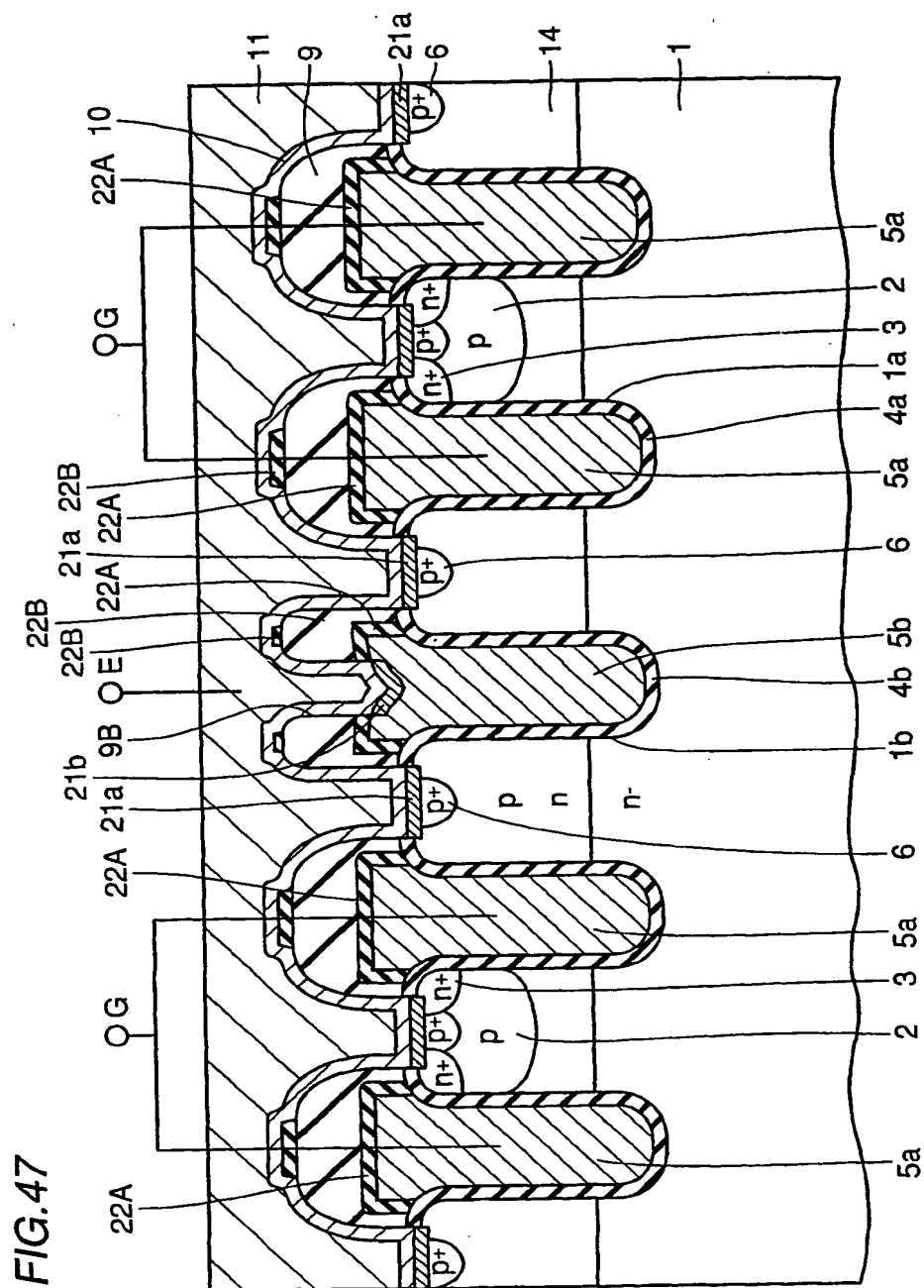


FIG. 48

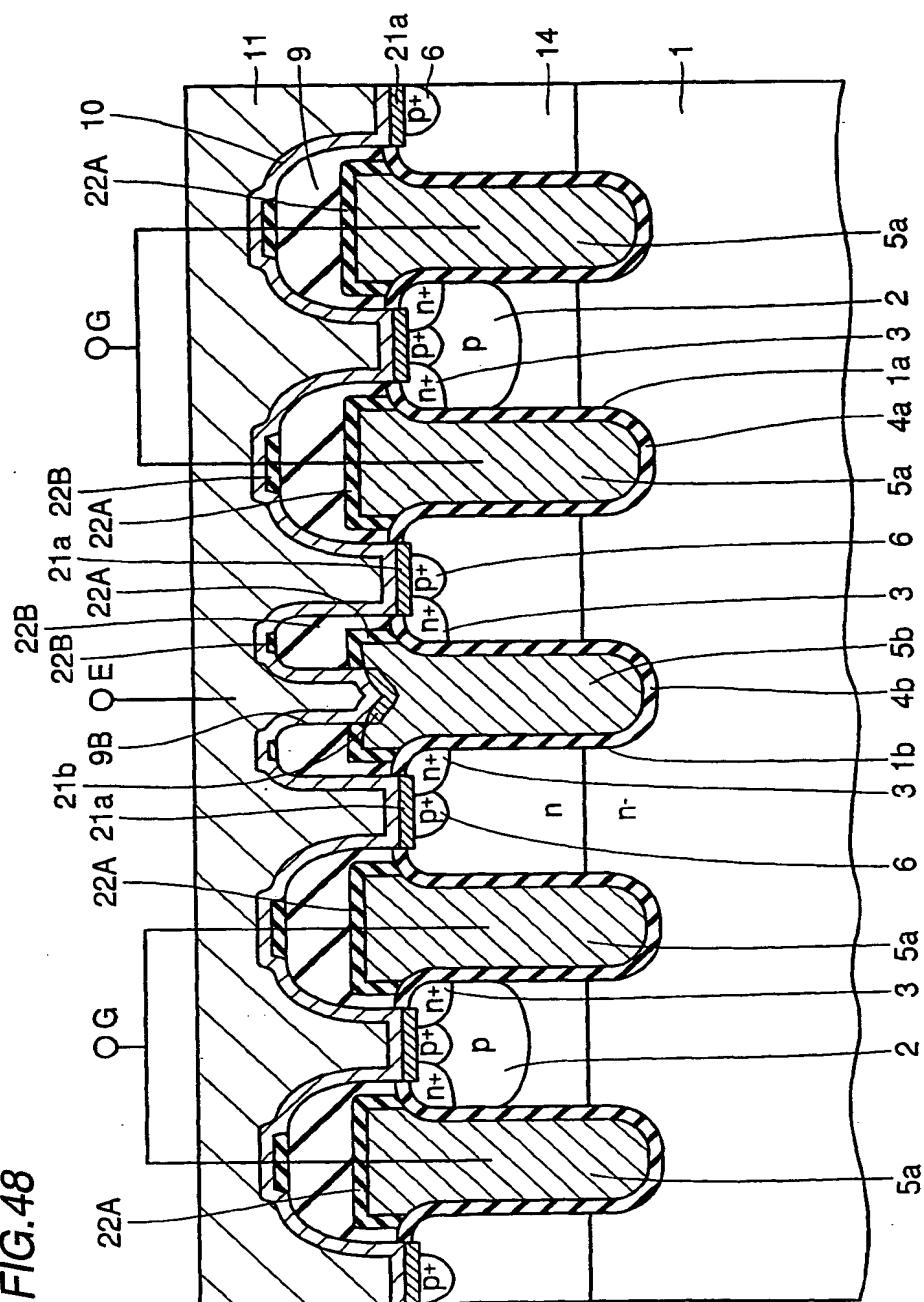
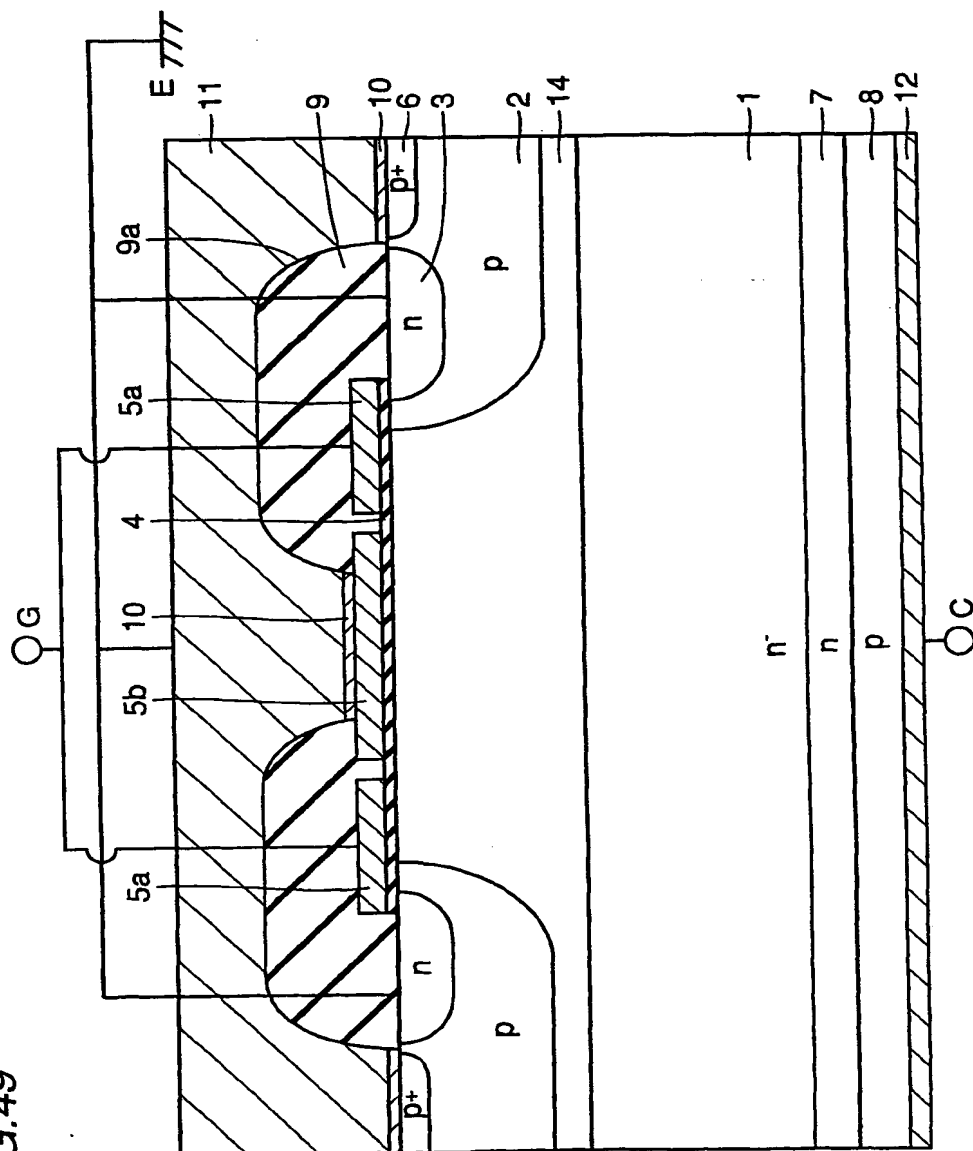


FIG. 49



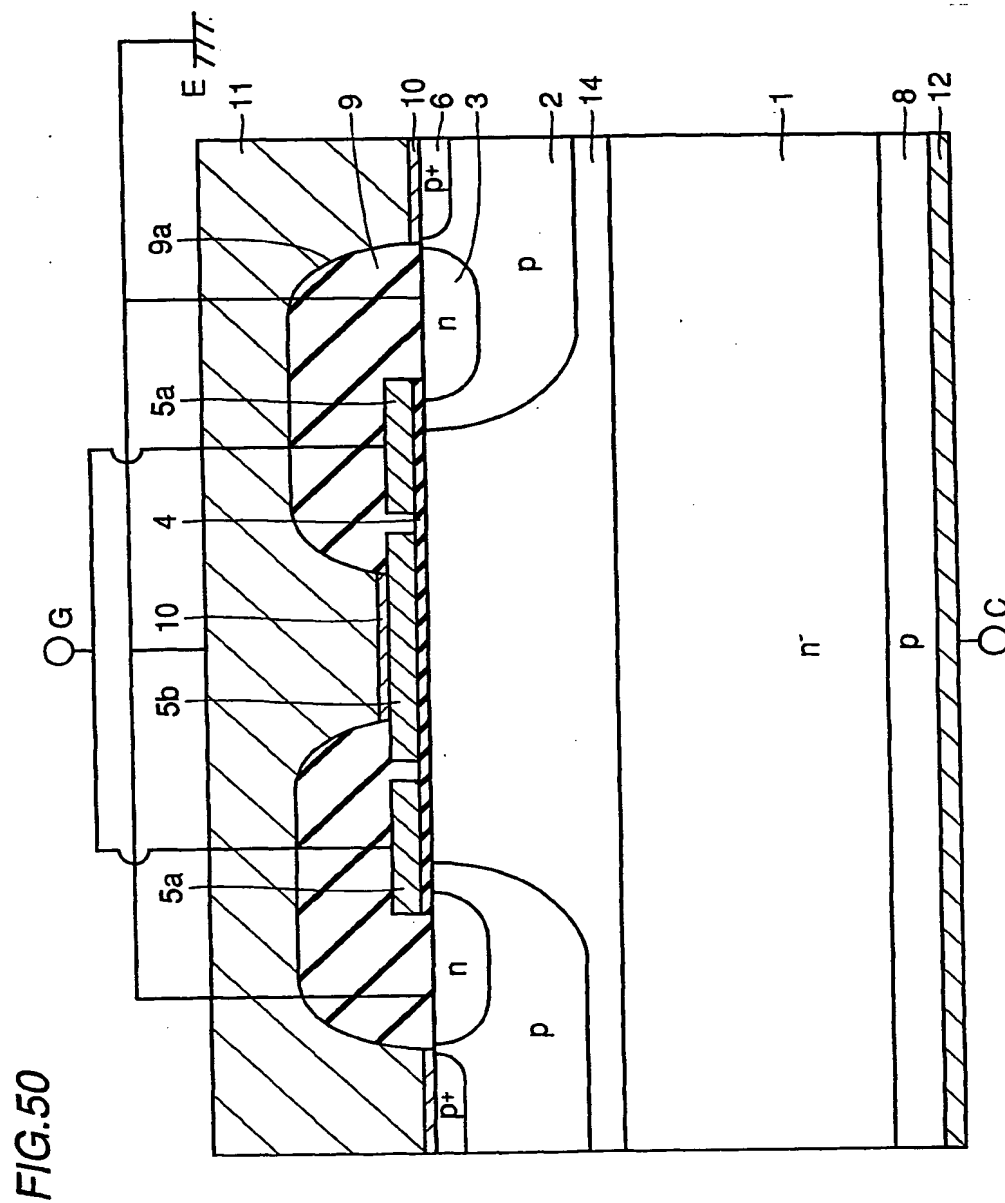


FIG.51

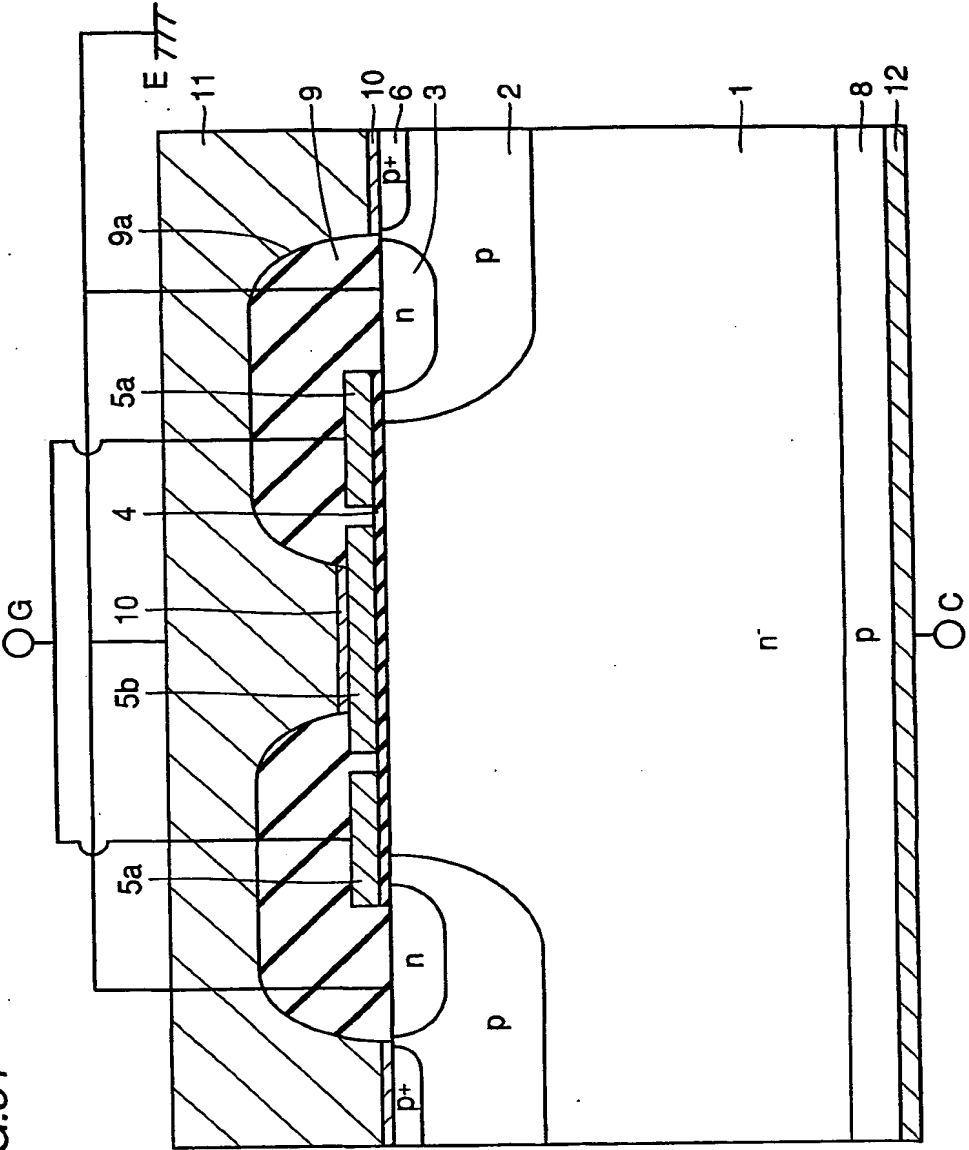


FIG.52

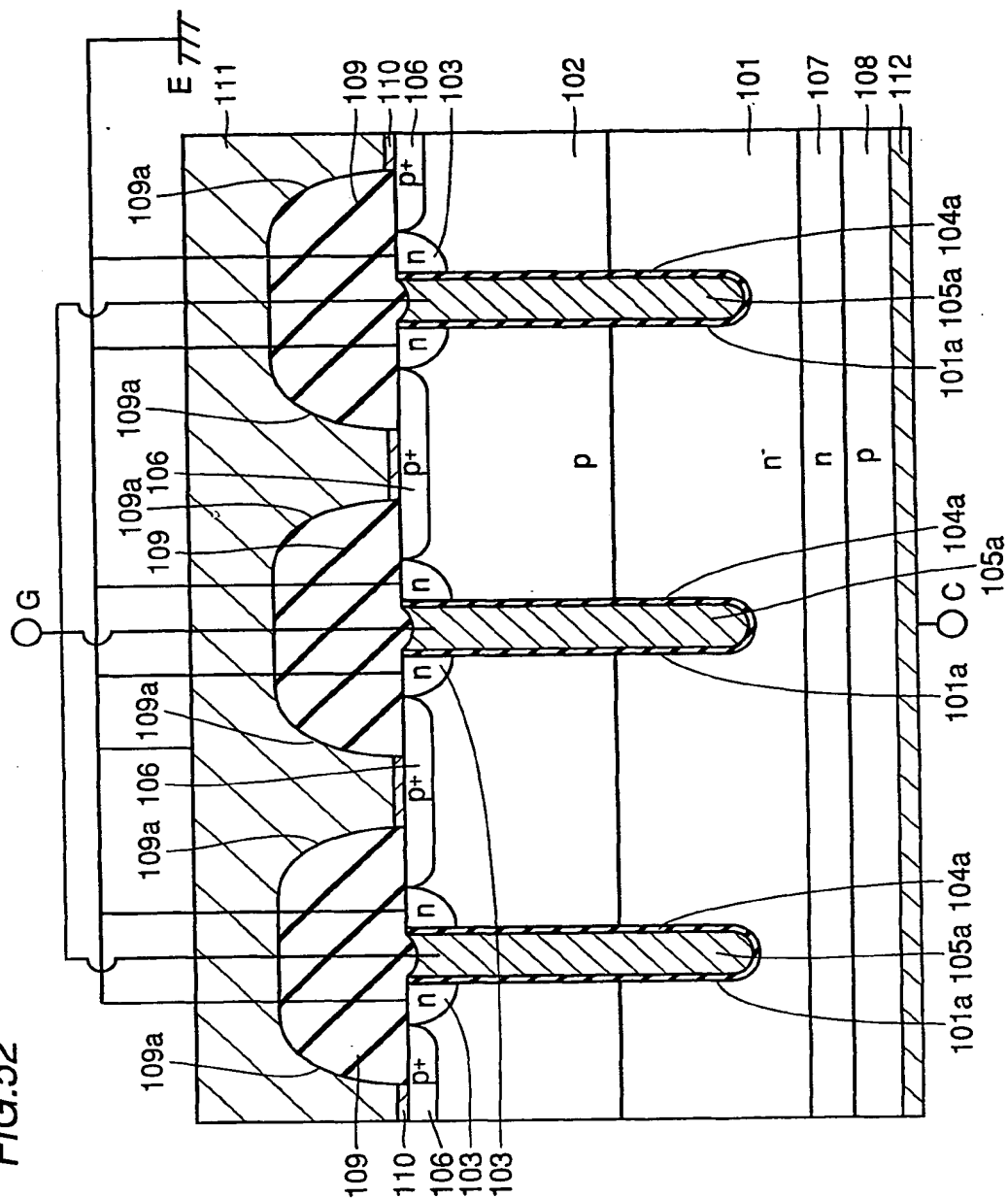


FIG.54

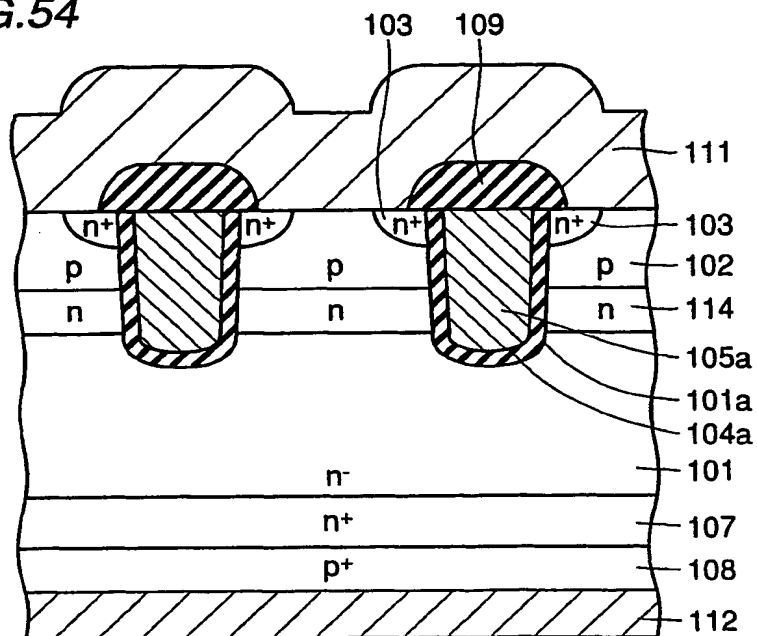


FIG.55

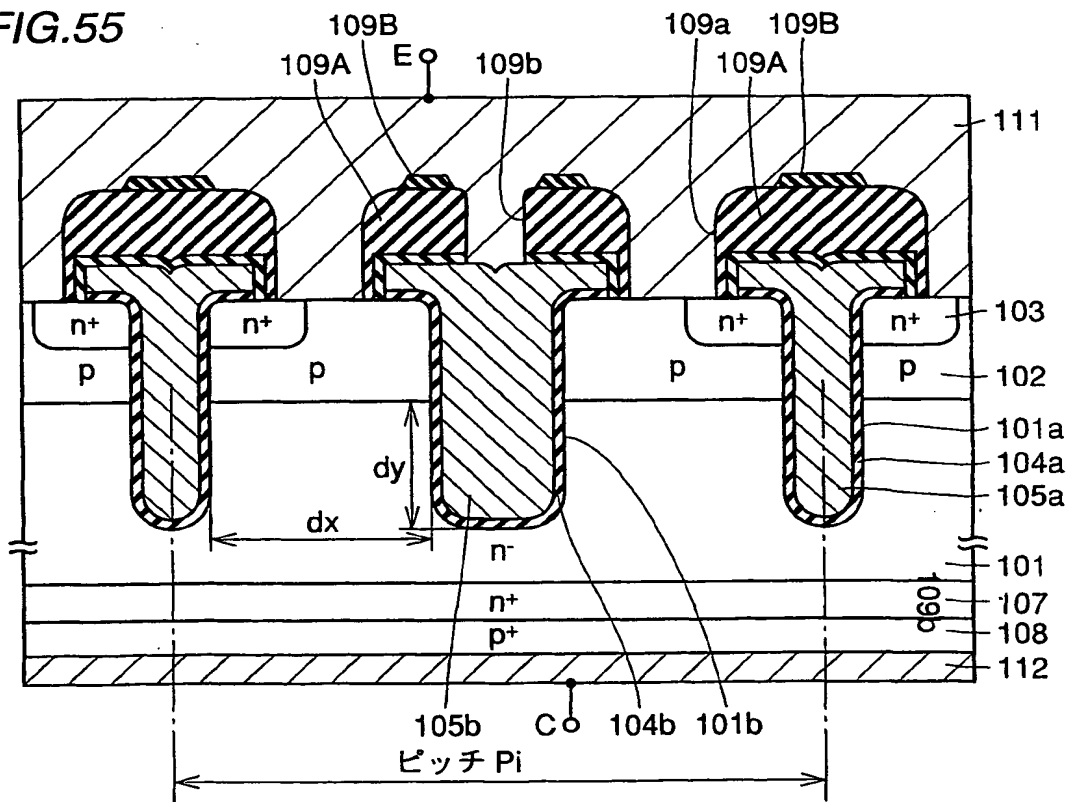


FIG.56

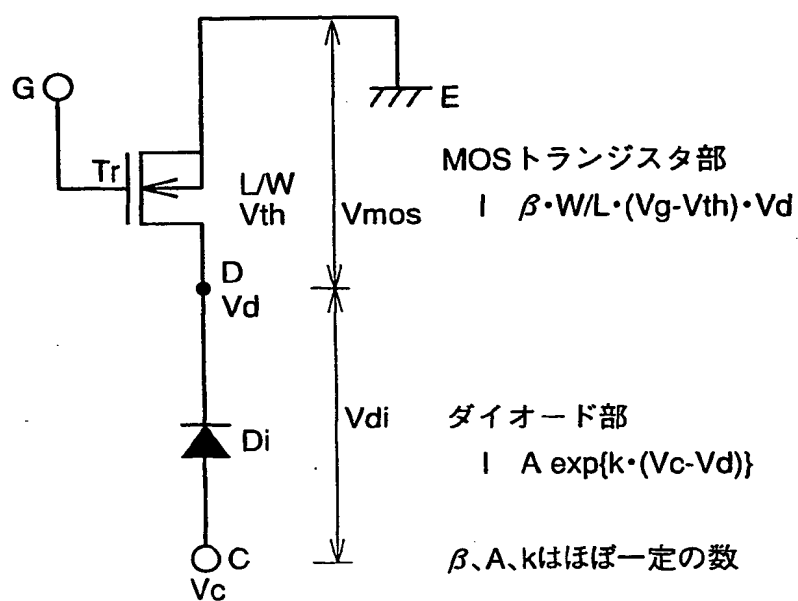
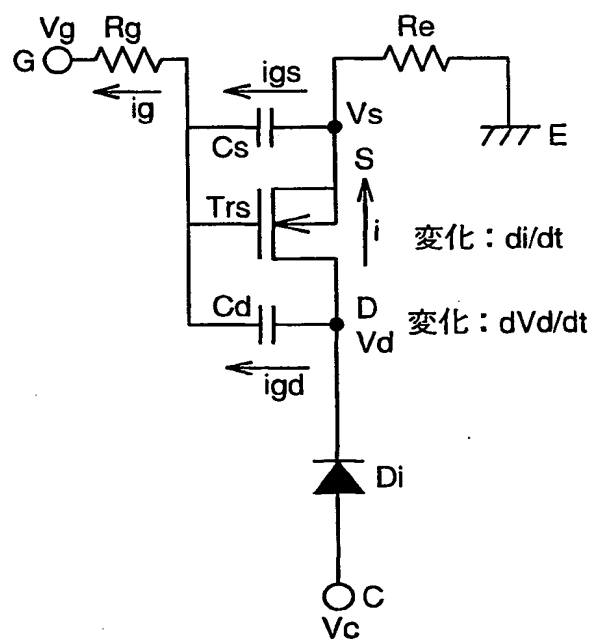


FIG.57



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/00373

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L29/78, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/78, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1972-1996 Jitsuyo Shinan Toroku Koho 1996-2001
Kokai Jitsuyo Shinan Koho 1972-2001 Toroku Jitsuyo Shinan Koho 1994-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 11-330466, A (Toshiba Corporation), 30 November, 1999 (30.11.99), Full text (Family: none)	1-26
A	US, 5623152, A (MITSUBISHI DENKI KABUSHIKIKAISHA), 22 April, 1997 (22.04.97), Full text & JP, 8-222728, A & DE, 69600801, C & EP, 726602, A	1-26
A	JP, 9-275212, A (Hitachi, Ltd.), 21 October, 1997 (21.10.97), Full text (Family: none)	1-26
A	JP, 9-283754, A (Toshiba Corporation), 31 October, 1997 (31.10.97), Full text (Family: none)	1-26
A	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No.81586/1991 (Laid-open No.33546/1993) (MEIDENSHA CORPORATION),	18-24

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not
considered to be of particular relevance
"E" earlier document but published on or after the international filing
date
"L" document which may throw doubts on priority claim(s) or which is
cited to establish the publication date of another citation or other
special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other
means
"P" document published prior to the international filing date but later
than the priority date claimed

"T" later document published after the international filing date or
priority date and not in conflict with the application but cited to
understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be
considered novel or cannot be considered to involve an inventive
step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be
considered to involve an inventive step when the document is
combined with one or more other such documents, such
combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
11 May, 2001 (11.05.01)

Date of mailing of the international search report
22 May, 2001 (22.05.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/00373

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	<p>30 April, 1993 (30.04.93), Full text (Family: none)</p>	

国際調査報告

国際出願番号 PCT/JPO1/00373

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int cl. ⁷ H01L29/78, H01L21/336		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int cl. ⁷ H01L29/78, H01L21/336		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1972年-1996年 日本国公開実用新案公報 1972年-2001年 日本国実用新案登録公報 1996年-2001年 日本国登録実用新案公報 1994年-2001年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 11-330466, A (株式会社東芝) 30. 11月. 1999 (30. 11. 99) 全文 (ファミリーなし)	1-26
A	US, 5623152, A (MITSUBISHI DENKI KABUSHIKI KAISHA) 22. 4月. 1997 (22. 04. 97) 全文 & JP, 8-222728, A & DE, 69600801, C & EP, 726602, A	1-26
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	11. 05. 01	国際調査報告の発送日
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JPO) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 恩田 春香 電話番号 03-3581-1101 内線 3462
		4M 8934

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 9-275212, A (株式会社日立製作所) 21. 10 月. 1997 (21. 10. 97) 全文 (ファミリーなし)	1-26
A	J P, 9-283754, A (株式会社東芝) 31. 10月. 19 97 (31. 10. 97) 全文 (ファミリーなし)	1-26
A	日本国実用新案登録出願3-81586号 (日本国実用新案登録出 願公開5-33546号) の願書に添付した明細書及び図面の内容 を記録したCD-ROM (株式会社明電舎) 30. 4月. 1993 (30. 04. 93) 全文 (ファミリーなし)	18-24